RX32G410 数据手册

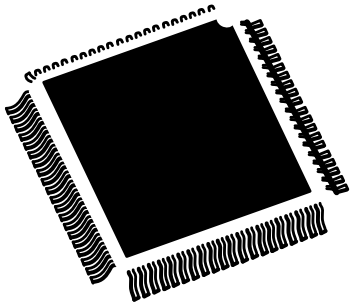
文档编号：DS00012

基于带 FPU 的 32 位 RISC 内核专业电机微控制器

版本：V2.1

特征

- 内核：带 FPU 的 32 位 RISC 内核，可从闪存实现零等待状态执行，最高频率 192MHz
- 运行条件：
  - VDD，VDDA 电压范围：2.5V 至 3.6V
  - -40°C ~ 125°C
- ESD
  - HBM 6KV
  - CDM 1.2KV
  - EFT 高达 5KV
- 数学运算协同处理器
  - CORDIC 用于三角函数加速
  - FMAC：滤波器数学加速器
- 存储器
  - 512 KB Flash 无 ECC 支持 /256 KB Flash 带 ECC 支持
  - 64 KB SRAM（包含 CCMSRAM）
- 复位和供电管理
  - 上电/下电复位（POR/PDR）
  - 可编程电压监测器（PVD）
  - 低功耗模式：睡眠（Sleep）、停止(Stop)、待机（Standby）
- 时钟管理
  - 16Mhz 晶体振荡器
  - 内置经出厂调校的 16MHz 振荡器
  - 内置经出厂调校的 32KHz 振荡器
- 16 通道的 DMA 控制器
- 4 个 CLC 可配置逻辑单元
- 最多 66 个快速 I/O
  - 66 或 52 个 I/O
  - 所有均可映射到外部中断向量
  - 多个具有 7V 容忍能力的 I/O
- 3 个 4Msps 的 12 位 ADC
  - 电压转换范围：0V 至 VREF+
  - 内置 TPS
- 6 个 12 位 DAC 通道
  - 3 个外部缓冲通道 1Msps
  - 3 个内部无缓冲通道
- 4 个轨对轨比较器
  - 内部参考源可选 VREFINT/DAC



LQFP64（10 × 10 mm）
LQFP80（12 × 12 mm）

- 4 个运算放大器
  - PGA 模式（4~32 倍）
  - 电压跟随器模式
  - 独立模式
- 内部参考电压缓冲器（VREFBUF），支持三种输出电压（2.0V、2.5V、2.8V）
- 16 个定时器
  - 1 个高分辨率定时器带有 6 个 16 位计数器，分辨率 163ps，可提供 12 路 PWM
  - 2 个 28 位定时器和 2 个 16 位定时器，最多支持 4 个 IC/OC/PWM 或脉冲计数器和正交（增量式）编码器输入
  - 2 个 16 位 8 通道高级电机控制定时器，最多 8 个 PWM 通道，带有死区时间生成和刹车功能
  - 1 个 16 位定时器，带有 2 个 IC/OCs，1 个 OCN/PWM，死区时间生成和刹车功能
  - 2 个 16 位定时器带 IC/OC/OCN/PWM，死区时间生成和刹车功能
  - 2 个看门狗定时器（独立，窗口）
  - 1 个 24 位系统定时器
  - 2 个 16 位基本定时器
  - 1 个 RTC 实时时钟
- 通信接口
  - 2 个 I^2C，400KHz，支持 SMBus/PMBus
  - 5 个 UART
  - 2 个 SPI
  - 2 个 CAN（2.0B）
  - USB-FS（USB 和 CAN 无法同时使用）
- 开发支持
  - 串行线调试、JTAG
- CRC 计算单元，96 位唯一 ID

目录

1 简介 8
2 概述 9
3 功能概述 11
3.1 内置 Flash 11
3.2 内置 SRAM 11
3.3 CORDIC 协同处理器 11
3.4 FMAC 滤波器数学加速器 11
3.5 循环冗余校验计算单元（CRC） 12
3.6 电源管理 12
3.6.1 供电方案 12
3.6.2 供电监控器 12
3.6.3 低功耗模式 12
3.6.4 复位模式 13
3.7 时钟与启动 13
3.8 通用输入/输出(GPIOs) 14
3.9 直接存储器访问控制器（DMA） 14
3.10 DMA 请求路由器（DMAMux） 14
3.11 可配置逻辑单元（CLC） 15
3.12 中断和事件 15
3.12.1 扩展中断/事件控制器（EXTI） 15
3.13 模数转换器（ADC） 15
3.14 内部基准电压（V_{REFINT}） 15
3.15 运算放大器输出至内部（OPAMPx_OUT） 16
3.16 温度传感器（TPS） 16
3.17 数模转换器（DAC） 16
3.18 参考电压缓冲器（V_{REFBUF}） 16
3.19 比较器（COMP） 17
3.20 运算放大器（OPAMP） 17
3.21 定时器和看门狗 18
3.21.1 高分辨率定时器（HRTIM1） 18
3.21.2 高级电机控制定时器（TIM1、TIM8） 19
3.21.3 通用定时器（TIM2、TIM3、TIM4、TIM5、TIM15、TIM16、TIM17） 19
3.21.4 基本定时器（TIM6 和 TIM7） 19
3.21.5 独立看门狗（IWDG） 20
3.21.6 系统窗口看门狗（WWDG） 20
4 引脚和引脚分布 21
4.1 LQFP64 引脚分布 21
4.2 LQFP80 引脚分布 22
4.3 引脚定义 23
4.4 复用功能 34
5 电气特性 40

5.1 测试条件 40
5.1.1 最小值和最大值 40
5.1.2 典型值 40
5.1.3 典型曲线 40
5.1.4 负载电容 40
5.1.5 引脚输入电压 40
5.1.6 供电方案 41
5.1.7 电流消耗测量 41
5.2 绝对最大额定值 42
5.3 工作条件 43
5.3.1 通用工作条件 43
5.3.2 上电和断电时操作条件 43
5.3.3 内置复位和电源控制模块特性 43
5.3.4 内部参考电压 44
5.3.5 供电电流特性 45
5.3.6 外部时钟源特性 45
5.3.7 内部时钟源特性 47
5.3.8 PLL 特性 48
5.3.9 存储器特性 48
5.3.10 EMC 特性 49
5.3.11 电气敏感性 50
5.3.12 I/O 电流注入特性 50
5.3.13 I/O 端口特性 51
5.3.14 NRST 引脚特性 55
5.3.15 高分辨率定时器（HRTIM） 56
5.3.16 ADC 特性 58
5.3.17 DAC 特性 59
5.3.18 VREFBUF 特性 62
5.3.19 COMP 特性 63
5.3.20 OPAMP 特性 63
5.3.21 温度传感器特性 67
5.3.22 TIM 定时器特性 67
5.3.23 通信接口 68
6 封装信息 74
6.1 LQFP64 封装信息 74
6.2 LQFP80 封装信息 76
7 订货代码 78
8 版本历史 79

表目录

表 3.1 DMA 实现 14
表 3.2 定时器特征比较 18
表 4.1 引脚配置表中使用的图例/缩写 23
表 4.2 RX32G410xE 引脚定义 24
表 4.3 复用功能 34
表 5.1 电压特性(1) 42
表 5.2 电流特性 42
表 5.3 温度特性 42
表 5.4 通用工作条件 43
表 5.5 上电和掉电时的工作条件 43
表 5.6 内置复位和电源控制模块特性 43
表 5.7 内置的参考电压 44
表 5.8 睡眠模式下的最大电流消耗，代码从 FLASH 运行 45
表 5.9 运行模式下的最大电流消耗，数据处理代码从 FLASH 运行 45
表 5.10 停止模式和待机模式下的典型和最大电流消耗 45
表 5.11 用户高速外部时钟特性(1) 45
表 5.12 HSE 振荡器特性(1) 46
表 5.13 高速内部振荡器（HSI16）特性(1) 47
表 5.14 低速内部振荡器（LSI）特性(1) 47
表 5.15 低功耗模式的唤醒时间(1) 47
表 5.16 PLL 特性(1)(4) 48
表 5.17 闪存存储器特性(1) 48
表 5.18 闪存存储器寿命和数据保存期限 48
表 5.19 EMS 特性 49
表 5.20 EMI 特性 50
表 5.21 ESD 绝对最大值 50
表 5.22 电气敏感性 50
表 5.23 IO 电流注入敏感性 51
表 5.24 IO 静态特性 51
表 5.25 输出电压特性(1)(2) 52
表 5.26 IO 交流特性 FT_h(1)(2) 52
表 5.27 IO 交流特性 FT_a(1)(2) 53
表 5.28 NRST 引脚特性(1) 55
表 5.29 HRTIM 特性(1) 56
表 5.30 HRTIM 对故障保护的输出响应(1) 56
表 5.31 HRTIM 对外部事件 1 至 5 的输出响应（低延迟模式(1)） 56
表 5.32 HRTIM 对外部事件 1 至 10 的输出响应（同步模式(1)） 57
表 5.33 HRTIM 同步输入/输出（同步模式(1)） 57
表 5.34 ADC 特性(1)(2) 58
表 5.35 f_{ADC} = 64MHz 时最大 ADC R_{AIN}(1) 58
表 5.36 ADC 精度-限制测试条件(1)(2) 59

表 5.37 DAC 特性(1) 59
表 5.38 DAC 精度(1) 61
表 5.39 VREFBUF 特性(1) 62
表 5.40 COMP 特性(1) 63
表 5.41 OPAMP 特性(1)(2) 63
表 5.42 TPS 特性 67
表 5.43 TIMx(1) 特性(2) 67
表 5.44 I²C 接口特性 68
表 5.45 SCL 频率（f_{PCLK1} = 36MHz，VDD = 3.3V）(1)(2) 69
表 5.46 SPI 特性 70
表 5.47 USB 启动时间 72
表 5.48 USB 直流特性 73
表 5.49 USB 全速电气特性(1) 73
表 6.1 LQFP64 – 机械数据 74
表 6.2 LQFP80 – 机械数据 76
表 8.1 版本历史 79

图目录

图 2.1 RX32G410 架构图 10
图 3.1 电压基准缓冲器 17
图 4.1 RX32G410 LQFP64 引脚 21
图 4.2 RX32G410 LQFP80 引脚 22
图 5.1 引脚负载情况 40
图 5.2 引脚输入电压 40
图 5.3 供电方案 41
图 5.4 电流功耗测量方案 41
图 5.5 高速外部时钟源 AC 时序图 46
图 5.6 使用 16MHz 晶体的典型应用 46
图 5.7 输入输出交流特性定义(1) 54
图 5.8 建议的的 NRST 引脚保护 55
图 5.9 12 位带缓冲/无缓冲 DAC 61
图 5.10 I2C 总线交流波形和测量电路 69
图 5.11 SPI 时序图-从模式和 CPHA=0 71
图 5.12 SPI 时序图-从模式和 CPHA=1 71
图 5.13 SPI 时序图-主模式 72
图 5.14 USB 时序：数据信号上升和下降时间定义 73
图 6.1 LQFP64 - 轮廓 74
图 6.2 LQFP64 - 推荐的 PCB 焊盘 75
图 6.3 LQFP80 - 轮廓 76
图 6.4 LQFP80 - 推荐的 PCB 焊盘 77

1 简介

本数据手册提供 RX32G410 的订购信息和固有特性。

本文档应与参考手册“RX32G410_Reference_Manual”一起阅读。本数据手册和参考手册均可从睿兴官网 www.rxtek-icore.com 获得。

2 概述

RX32G410 系列采用带 FPU 的 32 位 RISC 内核，最高运行频率为 192Mhz。

该系列内置高速存储器（512KB 的 Flash、64KB 的 SRAM），以及丰富的增强 I/O 引脚，连接到 2 条 APB 总线，2 条 AHB 总线。

该系列内置数学运算协同处理器，可加速数学/算数功能（CORDIC 用于三角函数，FMAC 单元用于滤波器功能）。

该系列内置 3 个 ADC（4Msps），4 个比较器（COMP），4 个可编程运算放大器（PGA），3 个双通道 DAC（1Msps），1 个内部电压参考缓冲器（VREFBUF），1 个低功耗 RTC，1 个高分辨率定时器（HRTIM），2 个通用 28 位定时器，2 个电机专用的 16 位高级定时器，5 个通用 16 位定时器。

该系列具有丰富通信接口：

- 2 个 I2C
- 5 个 UART
- 2 个 SPI
- 2 个 CAN
- 1 个 USB

该系列可以在-40 至+125°C 的温度范围内工作，供电电压 2.5 至 3.6V。该系列支持一套全面的省电模式，可用于设计低功耗应用。

该系列支持一些独立的电源供应，包括 ADC、DAC、OPAMP 和 COMP 的模拟独立电源输入。

RX32G410 系列提供 64 引脚和 80 引脚 2 种封装。

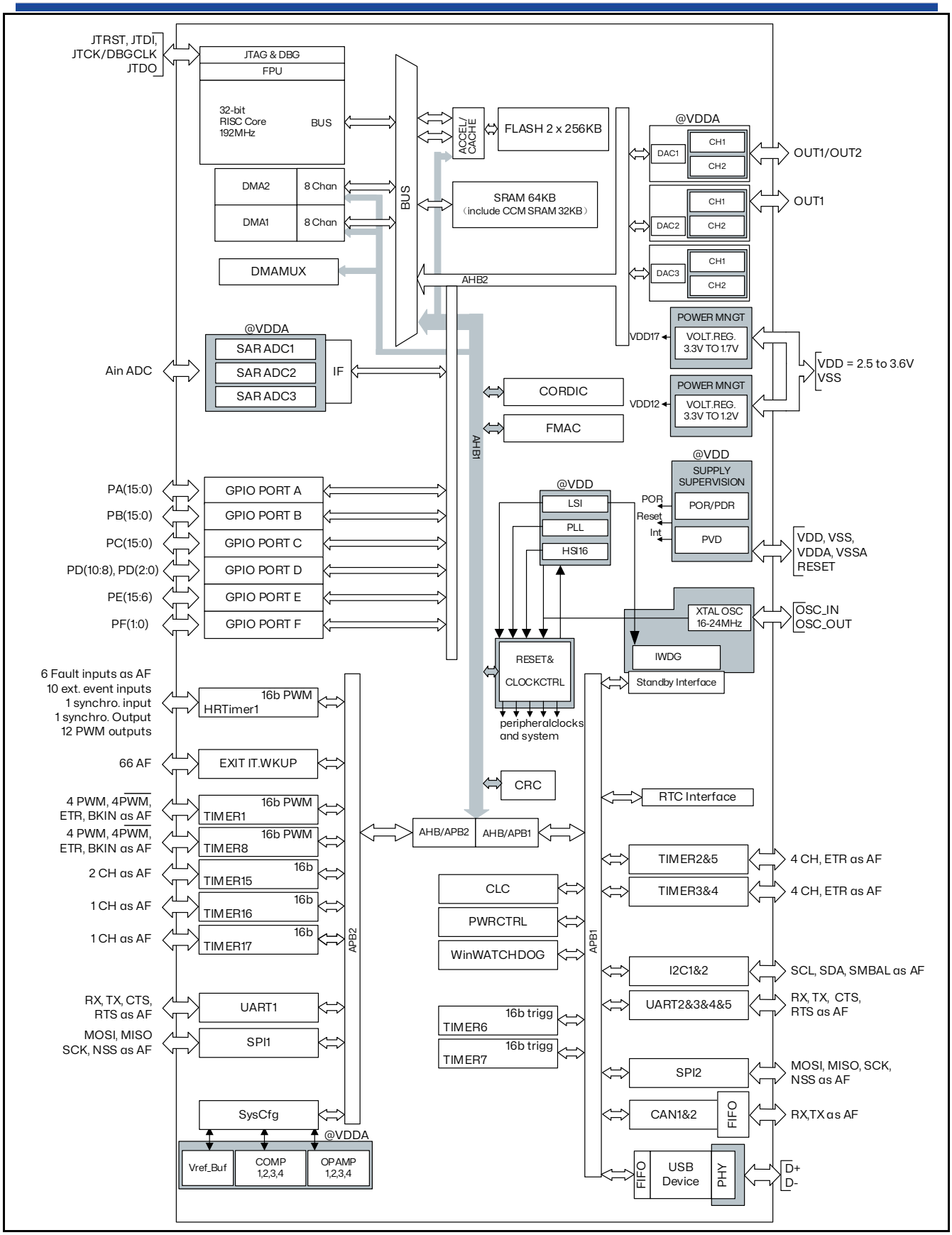


图 2.1 RX32G410 架构图

注意： AF：I/O *引脚上的复用功能。*

3 功能概述

3.1 内置 Flash

RX32G410 内置 512KB 的嵌入式闪存，可用于存储程序和数据。可以以字节（8 位）、半字（16 位）或字（32 位）进行读取，仅以四字（128 位）进行写入。

3.2 内置 SRAM

RX32G410 内置 64KB 的 SRAM。这些 SRAM 可以以字节（8 位）、半字（16 位）或字（32 位）进行访问，这些存储器可以在没有等待周期的情况下由 CPU 或者 DMA 寻址。

3.3 CORDIC 协同处理器

CORDIC（坐标旋转数字计算方法）提供了对某些数学函数的硬件加速，特别是三角函数，这些函数在电机控制、计量、信号处理以及许多其他应用中经常使用。

CORDIC 的特性：

- 24 位 CORDIC 旋转引擎
- 圆形和双曲模式
- 旋转和矢量模式
- 函数：正弦、余弦、双曲正弦、双曲余弦、反正切、二参数反正切、反双曲正切、模数、平方根、自然对数
- 可编程精度高达 20 位
- 快速收敛：每个时钟周期 4 位
- 支持 16 位和 32 位定点输入和输出格式
- 低延迟 AHB 从设备接口
- 结果准备好后可直接读取，无需轮询或中断
- DMA 读写通道

3.4 FMAC 滤波器数学加速器

滤波器数学加速器单元对向量执行算术运算。它包含一个乘法累加器（MAC）单元，以及地址生成逻辑，允许它索引存储在本地内存中的向量元素。

该单元支持输入和输出的循环缓冲区，从而允许实现数字滤波器。既可以实现有限冲激响应滤波器，也可以实现无限冲激响应滤波器。

该单元允许将频繁或冗长的滤波操作从 CPU 中卸载，从而释放处理器以执行其他任务。在许多情况下，与软件实现相比，它可以加速这些计算，从而加快时间关键任务的执行速度。

FMAC 的特性：

- 16 位 x 16 位乘法器
- 24+2 位累加器，支持加法和减法
- 16 位输入和输出数据
- 256 x 16 位本地存储器
- 最多可以在存储器中定义三个区域作为数据缓冲区（两个输入，一个输出），通过可编程的基地址指针和相关的大小寄存器进行定义
- 输入和输出样本缓冲区可以是循环的
- 缓冲区“水印”特性减少了中断模式下的开销

- 滤波器功能：有限冲激响应（FIR）、无限冲激响应（IIR，直接 1 型）
- AHB 从设备接口
- DMA 读写数据通道

3.5 循环冗余校验计算单元（CRC）

CRC（循环冗余校验）计算单元使用具有多项式值和大小可配置的生成器得到 CRC 计算结果。在一些应用中，基于 CRC 的技术用于验证数据传输或存储的完整性。

3.6 电源管理

3.6.1 供电方案

RX32G410 设备需要 2.5V 至 3.6V 的 VDD 工作电压供应。可以为特定的外设提供多个独立的电源供应：

- V_{DD}=2.5V 至 3.6V
  V_{DD} 是 I/O 端口、内部调节器和系统模拟部分（如复位、电源管理和内部时钟）的外部电源供应。它通过 V_{DD} 引脚外部提供。
- V_{DDA}= 2.5V 至 3.6 V（请参阅第 5 节：电气特性，了解 ADC、DAC、COMP、OPAMP、VREFBUF 操作所需的最小 V_{DDA} 电压）。V_{DDA} 是 A/D 转换器、D/A 转换器、电压参考缓冲器、运算放大器和比较器的外部模拟电源供应。V_{DDA} 的电压级别独立于 V_{DD} 电压，当这些外设未使用时，最好将其连接到 V_{DD}。
- V_{REF+}
  V_{REF+}是 ADC 和 DAC 的输入参考电压。当启用时，它也是内部电压参考缓冲器的输出。
  内部电压参考缓冲器支持三种输出电压，这些输出电压通过 VREFBUF_CSR 寄存器中的 VRS 位进行配置：
  - V_{REF+} = 2.0V
  - V_{REF+} = 2.5V
  - V_{REF+} = 2.8V

3.6.2 供电监控器

该产品内部集成了上电复位（POR）/掉电复位（PDR）电路，该电路始终处于工作状态，保证系统在供电超过 2.5V 时工作；当 V_{DD} 低于设定的阈值（$V_{POR/PDR}$）时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压检测器（PVD），它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD}/V_{DDA} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或微控制器转入安全模式。PVD 功能需要通过程序开启。

3.6.3 低功耗模式

RX32G410 支持三种低功耗模式，用户可以在以下模式中进行选择：在系统或电源复位后，微控制器默认处于运行模式。用户可以根据需要选择以下描述的低功耗模式之一：

- 睡眠模式：CPU 时钟被关闭。所有外设继续运行，并且 CPU 可以被中断或者事件唤醒。
- 停止 0 和停止 1 模式：保留 SRAM 和寄存器内容。关闭除 LSI 以外所有时钟。该系列可以被任一外部中断线从停止模式中唤醒。

在停止 0 模式下，内部 LDO1P7 和 LDO1P2 配置为正常模式，这允许最快的唤醒时间但功耗更高。活动的外设和唤醒源与停止 1 模式相同。

- 待机模式：待机模式用于实现最低的功耗，关闭 LDO1P7 和 LDO1P2，关闭除 LSI 以外所有时钟。该系列可以被外部复位（NRST 引脚）、IWDG 复位、RTC 唤醒以及 WKUP 唤醒引脚的上升沿和下降沿从待机模式中唤醒。

注：在进入停机或待机模式时，RTC、IWDG 和对应的时钟不会被停止。

3.6.4 复位模式

为了改善复位状态下的功耗，复位后的 I/O 状态被设置为“模拟状态”（I/O 的施密特触发器被禁用）。此外，当复位源是内部复位时，内部的复位上拉电阻也会被禁用。

3.7 时钟与启动

时钟控制器将来自不同振荡器的时钟分配给核心和外设。它还管理低功耗模式下的时钟门控，并确保时钟的稳定性。

- **时钟分频器：**通过可编程分频器调整 CPU 和外设的时钟频率，以获得速度和电流消耗之间的最佳平衡。
- **安全时钟切换：**可以通过配置寄存器在运行模式下安全地更改时钟源。
- **时钟管理：**为了降低功耗，时钟控制器可以停止核心、单个外设或内存的时钟。
- **系统时钟源：**三个不同的源可以提供 SYSCLK 系统时钟：
  - 带有外部晶体或陶瓷谐振器（HSE）的 16-24 MHz 高速振荡器。它可以提供时钟给系统 PLL。HSE 也可以配置为旁路模式以使用外部时钟。
  - 16 MHz 高速内部 RC 振荡器（HSI16），可以通过软件进行调整。它可以提供时钟给系统 PLL。
  - 系统 PLL，最大输出频率为 192 MHz。它可以用 HSE 或 HSI16 时钟来提供输入。
- **辅助时钟源：**实时时钟（RTC）有一个超低功耗时钟源：
  - 32 kHz 低速内部 RC 振荡器（LSI），精度为±5%，也用于时钟独立看门狗。进一步信息请参考数据手册中有关电气特性部分。
- **外设时钟源：**多个外设（UART、I2C、ADC）具有独立于系统时钟的自己的时钟。
- **时钟安全系统（CSS）：**在 HSE 时钟故障的情况下，系统时钟会自动切换到 HSI16，并且如果启用，则会生成软件中断。
- **时钟输出功能：**
  - MCO：微控制器时钟输出：它输出一个内部时钟，供应用程序外部使用。

多个预分频器允许配置 AHB 频率、APB1 和 APB2 域。AHB 和 APB 域的最大频率为 192 MHz。

3.8 通用输入/输出(GPIOs)

每个 GPIO 引脚都可以通过软件配置为输出（推挽或开漏输出），输入（配置或禁用上拉/下拉电阻）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共享。通过在 AHB2 总线上的映射，可以实现快速的 I/O 切换。

如果需要，I/Os 引脚的复用功能可以被锁定，以避免误操作写入寄存器。

3.9 直接存储器访问控制器（DMA）

该设备内置了两个 DMA 控制器。关于特性实现的详细信息，请参见下表：DMA 实现。

直接内存访问（DMA）用于在外设和内存之间以及内存到内存之间提供高速数据传输。DMA 可以快速移动数据，而无需 CPU 参与任何操作，从而释放 CPU 资源用于其他操作。

这两个 DMA 控制器总共有 16 个通道，每个通道专门用于管理来自一个或多个外设的内存访问请求。每个控制器都有一个仲裁器，用于处理 DMA 请求之间的优先级。

DMA 支持以下功能：

- 16 个可独立配置的通道（请求）
  - 每个通道都与专用的硬件 DMA 请求相连，每个通道还支持软件触发。此配置由软件完成。
- 同一 DMA 控制器内通道之间的请求优先级既可通过软件进行编程（4 个级别：非常高、高、中、低），也可在优先级相同时通过硬件进行编程（例如请求 1 优先于请求 2 等）。
- 源和目标传输大小可独立设置（字节、半字、字），模拟打包和解包操作。源/目标地址必须按数据大小对齐。
- 支持循环缓冲区管理
- 每个通道有 3 个事件标志（DMA 半传输、DMA 传输完成和 DMA 传输错误），这些标志在单个中断请求中逻辑上或运算在一起。
- 支持内存到内存传输
- 支持外设到内存、内存到外设以及外设到外设的传输
- 可以访问 Flash、SRAM、APB 和 AHB 外设作为源和目标
- 可编程的数据传输数量：最多 65536 个。

表 3.1 DMA 实现

DMA 特征	DMA1	DMA2
规则通道数量	8	8

3.10 DMA 请求路由器（DMAMux）

当外设通过设置其 DMA 请求线来指示 DMA 传输请求时，该 DMA 请求会处于挂起状态，直到请求被处理并且相应的 DMA 请求线被重置。DMA 请求路由器允许在外设和产品的 DMA 控制器之间路由 DMA 控制线。

内置的多通道 DMA 请求发生器可以被视为这样的外设之一。路由功能由一个多通道 DMA 请求线多路复用器实现。每个通道可以选择一个唯一的 DMA 控制线集，无条件地或与同步输入上的事件同步地选择。

为了简化描述，功能描述仅限于 DMA 请求线。其他 DMA 控制线在图中未显示，也未在文本中描述。DMA 请求生成器根据 DMA 请求触发输入上的事件产生 DMA 请求。

3.11 可配置逻辑单元（CLC）

可配置逻辑单元（Configurable Logic Cell，CLC）模块允许用户将一些信号的组合指定为逻辑功能的输入，并使用逻辑输出来控制其他外设或 I/O 引脚。由于 CLC 模块的操作不受软件执行限制，且支持大量输出设计，因此在嵌入式设计中提供了更大的灵活性和可能性。

CLC 包含 4 个主要部分，可根据输入数据选择多路开关将输入信号送到 4 个数据门。然后，4 个数据门中的每个门可以选择多达 32 个输入信号中的任意信号来传递给逻辑功能。之后，逻辑功能的输出被送至内部逻辑和外部引脚，并可以产生中断。

CLC 模块的输出可以被送至另一个 CLC 模块的输入，产生更复杂的逻辑功能。

3.12 中断和事件

3.12.1 扩展中断/事件控制器（EXTI）

扩展中断/事件控制器由 31 条边沿检测线组成，用于生成中断/事件请求以及从停止模式唤醒系统。每条外部线都可以独立配置，以选择触发事件（上升边沿、下降边沿、两者都有），并且可以独立屏蔽。

一个挂起寄存器用于保持中断请求的状态。内部线路连接到具有从停止模式唤醒能力的外设。EXTI 可以检测到脉宽短于内部时钟周期的外部线路。最多可以将 66 个 GPIO 连接到 16 条外部中断线上。

EXTI 的主要作用是提供对外部信号变化的快速响应，并将这些变化转化为中断或事件请求，从而允许处理器对这些事件进行适当处理。通过配置不同的触发条件和屏蔽选项，EXTI 可以灵活地适应不同的应用场景，提供可靠且高效的中断和事件处理机制。此外，EXTI 的高灵敏度和低延迟特性使得系统能够快速响应外部变化，提高整体性能和稳定性。

3.13 模数转换器（ADC）

该设备内置三个模数转换器，具有以下特性：

- 12 位分辨率，内置校准功能
- 最大转换速率可达 4 Msps
- 所有封装都配有一个外部参考引脚，允许输入电压范围独立于电源
- 单端模式输入
- 高度通用的数字接口
  - 单次或基于连续/间断序列的扫描模式：可编程两组模拟信号转换，以区分后台和高优先级实时转换
  - 每个 ADC 支持多个触发输入，以与片上定时器和外部信号同步
  - 结果存储在数据寄存器或 RAM 中，支持 DMA 控制器
  - 数据预处理：左/右对齐和每通道偏移补偿
  - 可编程采样时间的通道
  - 模拟看门狗，用于自动电压监测，生成中断和为选定定时器触发
  - 灵活的采样时间控制

3.14 内部基准电压（V_{REFINT}）

内部电压基准（VREFINT）为 ADC 和 COMP 提供稳定的（带隙）电压输出。VREFINT 内部连接到（ADC3_IN13）ADC3 输入通道 13。VREFINT 的精确电压由睿兴在生产测试时分别测量，并存储在系统内存区。可以以只读模式访问。

3.15 运算放大器输出至内部（OPAMPx_OUT）

OPAMPx_OUT（x = 1...4）可以使用 ADCx（x = 1...3）内部输入通道进行采样。在这种情况下，原本用于 OPAMPx_OUT 输出映射的 I/O 可以用作 GPIO。

3.16 温度传感器（TPS）

温度传感器（TPS）生成一个随温度线性变化的电压 V_{TPS}。温度传感器内部连接到 ADC 的输入通道，该通道用于将传感器的输出电压转换为数字值。

传感器提供了良好的线性度，但为了获得温度测量的整体高精度，需要进行校准。由于工艺变化，温度传感器的偏移量会因芯片而异，因此，未经校准的内部温度传感器仅适用于检测温度变化的应用。

为了提高温度传感器测量的准确性，每个设备在出厂时都由睿兴单独进行校准。温度传感器出厂校准数据由睿兴存储在系统内存区域中，以只读模式访问。

3.17 数模转换器（DAC）

具有六个 12 位 DAC 通道（3 个外部缓冲和 3 个内部未缓冲），可用于将数字信号转换为模拟电压信号输出。所选的设计结构由集成电阻串和反相放大器组成。

此数字接口支持以下功能：

- 最多两个 DAC 输出通道
- 8 位或 12 位输出模式
- 输出缓冲器具备偏移校准（出厂和用户调校）
- 在 12 位模式下左对齐或右对齐数据
- 同步更新功能
- 噪声波形生成
- 三角波形生成
- 锯齿波形生成
- 每个通道都有 DMA 功能
- 外部触发转换
- 最大外部输出速率为 1 Msps

DAC 通道通过定时器更新输出触发，这些输出也连接到不同的 DMA 通道。

3.18 参考电压缓冲器（V_{REFBUF}）

RX32G410 设备内置了一个电压参考缓冲器，可用作 ADC、DAC 的电压参考和 OPAMP 的偏置电压，也可通过 V_{REF+}引脚作为外部组件的电压参考。

内部电压参考缓冲器支持三种电压：

- 2.0V
- 2.5V
- 2.8V

当内部电压参考缓冲器关闭时，可以通过 VREF+引脚提供外部电压参考。

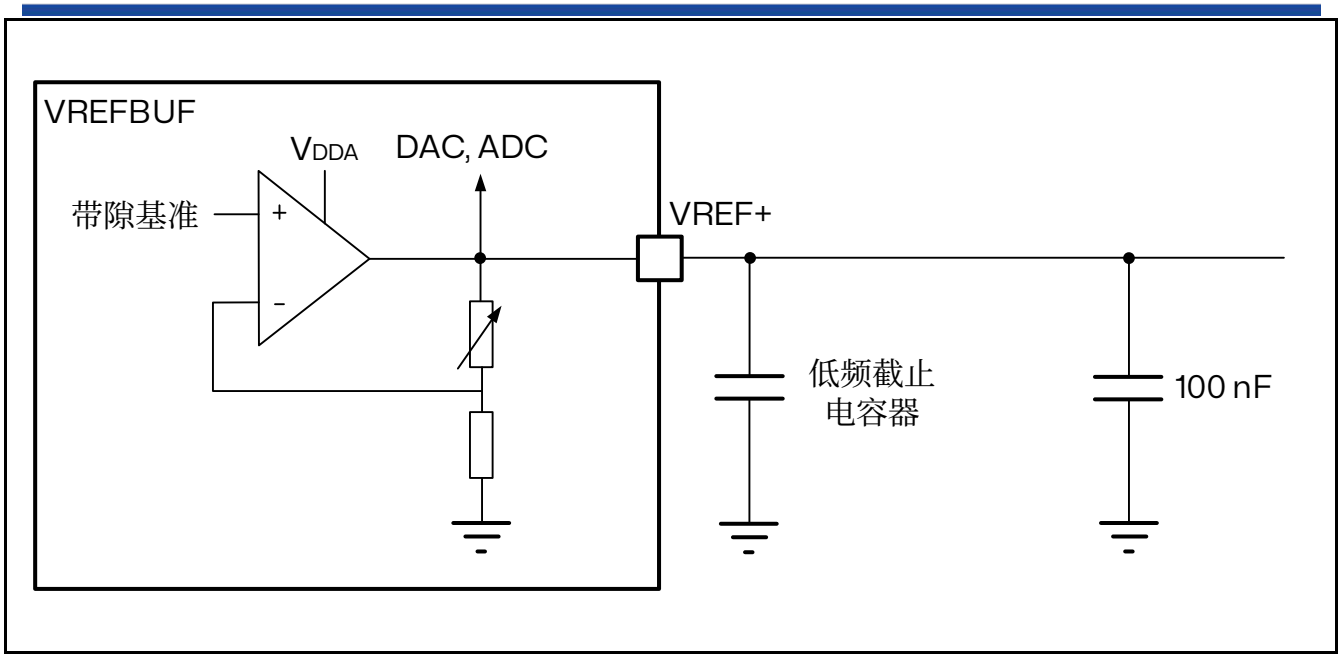


图 3.1 电压基准缓冲器

3.19 比较器（COMP）

RX32G410 设备内置了四个带有迟滞以及可编程参考电压（内部或外部）的轨对轨比较器。
参考电压可以是以下之一：

- 外部 I/O
- DAC 输出通道
- 内部基准电压 V_{REFINT} 或其因数（1/4，1/2，3/4）

所有比较器都可以从停止模式下唤醒。可以作为高级定时器的刹车信号。

3.20 运算放大器（OPAMP）

RX32G410 设备内置四个运算放大器。
运算放大器特点：

- PGA 模式（4~32 倍）
- 电压跟随器模式
- 独立模式
- PGA 模式内部偏置电压可选（GND / 0.5×V_{REFINT} / 0.5×V_{REFBUF}）
- 输出可内部连接至 ADC

3.21 定时器和看门狗

RX32G410 设备包括 1 个高分辨率定时器、2 个高级电机控制定时器、7 个通用定时器、2 个基本定时器、2 个看门狗定时器、1 个系统定时器和 1 个 RTC 实时时钟。下表比较了高级电机控制定时器、通用定时器和基本定时器的特性。

表 3.2 定时器特征比较

定时器类型	定时器	计数器分辨率	计数器类型	预分频因子	DMA 请求生成	捕获/比较通道	互补输出
高分辨率定时器	HRTIM1	16 位	向上	/1 /2 /4 (x2 x4 x8 x16 x32，带 DLL)	是	12	是
高级	TIM1，TIM8	16 位	向上，向下，向上/向下	1 至 65536 间任意整数	是	4	4
通用	TIM2，TIM5	28 位	向上，向下，向上/向下	1 至 65536 间任意整数	是	4	无
通用	TIM3，TIM4	16 位	向上，向下，向上/向下	1 至 65536 间任意整数	是	4	无
通用	TIM15	16 位	向上	1 至 65536 间任意整数	是	2	1
通用	TIM16，TIM17	16 位	向上	1 至 65536 间任意整数	是	1	1
基本	TIM6，TIM7	16 位	向上	1 至 65536 间任意整数	是	0	无

3.21.1 高分辨率定时器（HRTIM1）

高分辨率定时器（HRTIM）允许生成具有高精度时序的数字信号，例如脉宽调制（PWM）信号或移相脉冲。

它由 7 个定时器组成，包括 1 个主定时器和 6 个从定时器，总计 12 个高分辨率输出，这些输出可以成对耦合以插入死区时间。它还具有 6 个故障输入端口，用于保护目的，以及 10 个输入端口，用于处理外部事件，如限流、零电压或零电流切换。

HRTIM 定时器由一个以 192 MHz 运行的数字内核以及后续的延迟线构成。具有闭环控制的延迟线可确保无论电压、温度或芯片间制造工艺偏差如何，都能达到 163ps 的分辨率。在所有工作模式下（可变占空比、可变频率和恒定导通时间），12 个输出均可实现高分辨率。

从定时器可以组合使用，以控制多开关复杂变换器，也可以独立运行，以管理多个独立变换器。

波形由用户定义的时序和外部事件（如模拟或数字反馈信号）共同确定。

HRTIM 定时器包含用于屏蔽和过滤掉杂散事件或故障的选项。它还提供特定模式和功能，以减轻 CPU 负担：直接内存访问（DMA）请求、突发模式控制器、推挽模式和共振模式。

它支持多种拓扑结构，包括电压模式或电流模式下的 LLC 谐振变换器、全桥移相变换器、降压（Buck）或升压（Boost）变换器，以及照明应用（荧光灯或发光二极管 LED）。它也可用作通用定时器，例如，用于实现高分辨率 PWM 模拟的数模转换器（DAC）。

在调试模式下，HRTIM 计数器可被冻结，且 PWM 输出进入安全状态。

3.21.2 高级电机控制定时器（TIM1、TIM8）

高级电机控制定时器各自可以被视为在 8 个通道上复用的四相 PWM。它们具有带可编程插入死区的互补 PWM 输出。它们也可以被视为完整的通用定时器。

4 个独立的通道可用于：

- 输入捕获
- 输出比较
- PWM 生成（边沿对齐或中央对齐模式），具有全调制能力（0-100%）
- 单脉冲模式输出

在调试模式下，高级电机控制定时器的计数器可以被冻结，PWM 输出可以被禁用，以便关闭由这些输出驱动的任何功率开关。

高级电机控制定时器与通用 TIMx 定时器（在下一节中描述）共享许多功能，并使用相同的架构，因此高级电机控制定时器可以通过定时器级联功能与 TIMx 定时器协同工作，以实现同步或事件链接。

3.21.3 通用定时器（TIM2、TIM3、TIM4、TIM5、TIM15、TIM16、TIM17）

RX32G410 设备中嵌入了高达 7 个可同步的通用定时器（有关差异请参见上表）。每个通用定时器都可以用来生成 PWM 输出，或者作为简单的时间基准。

- TIM2、TIM3、TIM4 和 TIM5

  它们都是功能齐全的通用定时器：

  - TIM2 和 TIM5 具有 28 位自动重装上/下计数器和 16 位预分频器。
  - TIM3 和 TIM4 具有 16 位自动重装上/下计数器和 16 位预分频器。

  这些定时器具有 4 个独立的通道，用于输入捕获/输出比较、PWM 或单脉冲模式输出。它们可以协同工作，或者通过级联功能与其他通用定时器进行同步或事件链接。

  在调试模式下，计数器可以被冻结。

  所有这些都具有独立的 DMA 请求生成功能，并支持正交编码器。

- TIM15、TIM16 和 TIM17

  它们是具有中档功能的通用定时器：

  它们具有 16 位自动重装上计数器和 16 位预分频器。

  - TIM15 有 2 个通道和 1 个互补通道。
  - TIM16 和 TIM17 各有 1 个通道和 1 个互补通道。

所有通道都可以用于输入捕获/输出比较、PWM 或单脉冲模式输出。

这些定时器可以通过级联功能协同工作，以实现同步或事件链接。这些定时器具有独立的 DMA 请求生成功能。

在调试模式下，计数器可以被冻结。

3.21.4 基本定时器（TIM6 和 TIM7）

基本定时器主要用于 DAC 触发信号生成。它们也可以用作通用的 16 位时间基准。

3.21.5 独立看门狗（IWDG）

独立看门狗基于一个 12 位递减计数器和一个 8 位预分频器。它由一个独立的 32kHz 内部 RC（LSI）时钟驱动，并且由于它独立于主时钟工作，因此可以在停止和待机模式下运行。它可以用作当出现问题时重置设备的看门狗，也可以用作应用程序超时管理的自由运行定时器。它可以通过选项字节进行硬件或软件配置。在调试模式下，计数器可以被冻结。

3.21.6 系统窗口看门狗（WWDG）

窗口看门狗基于一个 7 位递减计数器，可以设置为自由运行。它可以用作当出现问题时重置设备的看门狗。它由主时钟驱动。它具有早期警告中断功能，并且在调试模式下，计数器可以被冻结。

4 引脚和引脚分布

4.1 LQFP64 引脚分布

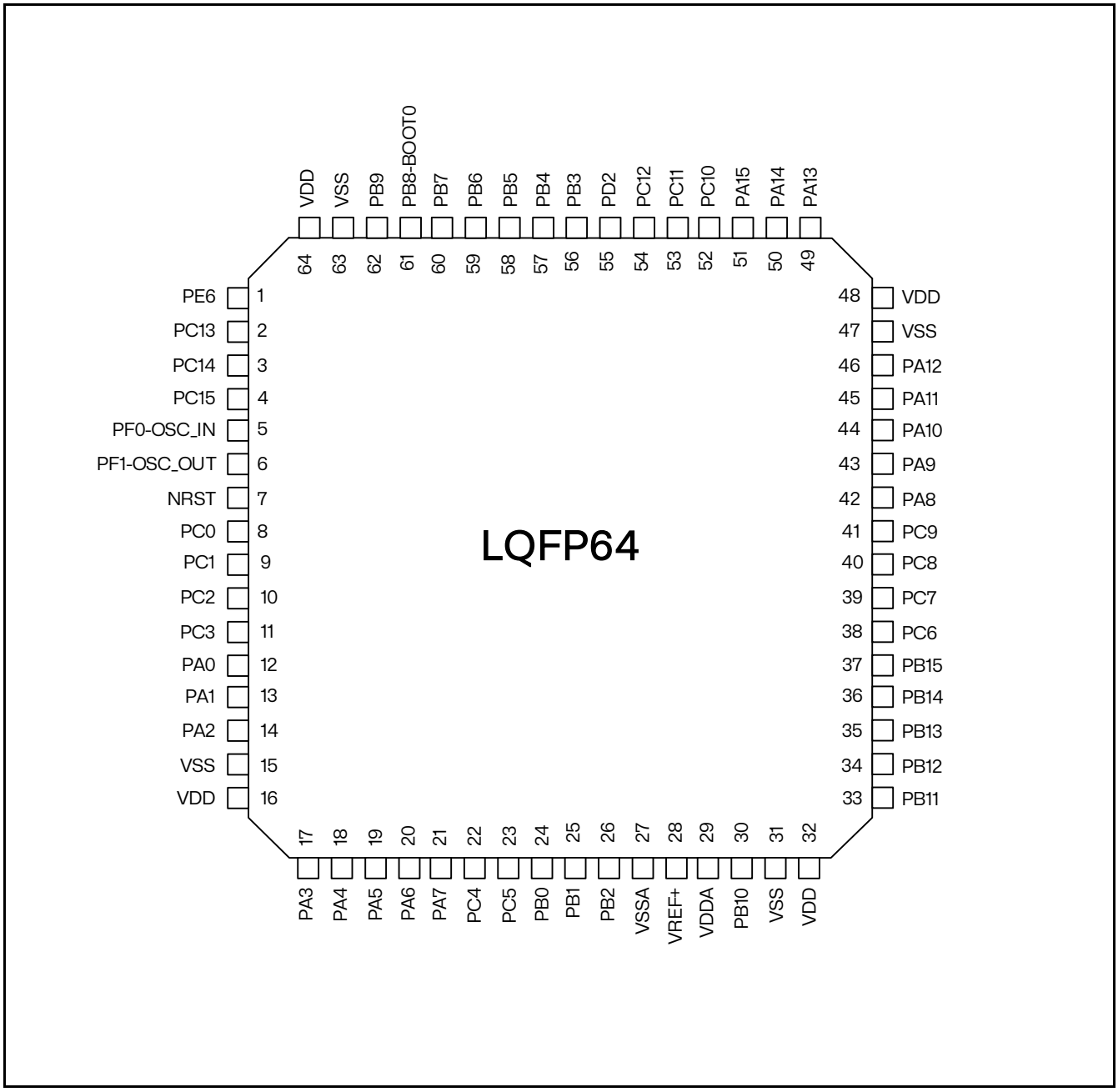


图 4.1 RX32G410 LQFP64 引脚

4.2 LQFP80 引脚分布

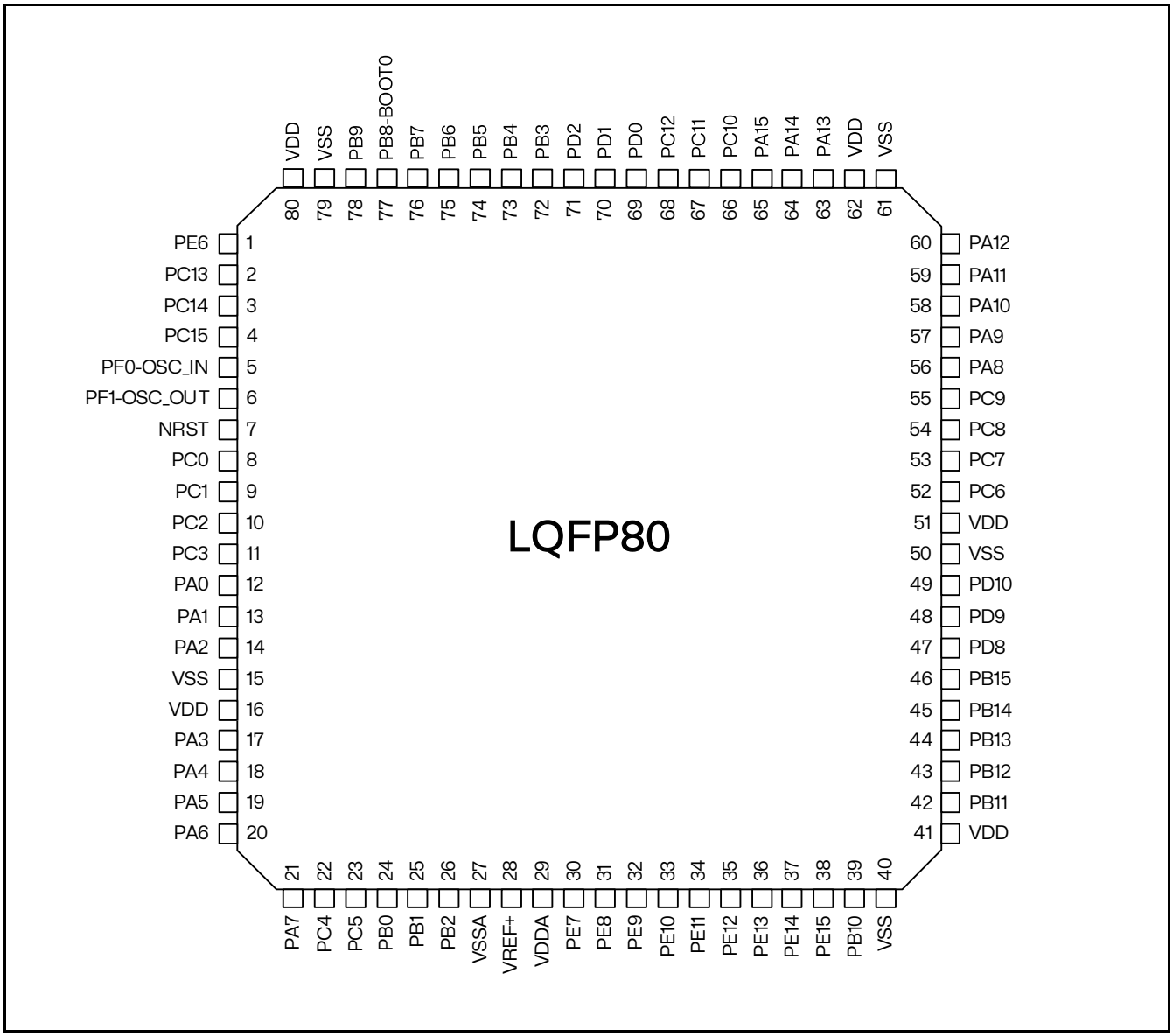


图 4.2 RX32G410 LQFP80 引脚

4.3 引脚定义

表 4.1 引脚配置表中使用的图例/缩写

名称	缩写	定义
引脚名称	除非在引脚名称下方的括号中另有说明，否则引脚在复位期间和复位后的功能与实际的引脚名称相同	
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O 结构	FT	5V 容忍 I/O
	WKUP	专用唤醒引脚
	B	专用 BOOT0 引脚
	NRST	具有内置弱上拉电阻的双向复位引脚
	对于 FT 的 I/O 选项	
	_a(1)	I/O，具备由 V_{DDA} 提供的模拟开关功能
	_f(2)	I/O，支持滤波器功能
	_h(3)	I/O，支持高速功能
	_u(4)	I/O，具备 USB 功能
注意	除非另有注释说明，所有 I/O 在复位期间及复位后均设置为浮空输入	
引脚功能	复用功能	通过 GPIOx_AFR 寄存器选择功能
	附加功能	通过外设寄存器直接选择/使能功能

1. 表 4.2 中的相关 I/O 结构有：FT_a、FT_af。
2. 表 4.2 中的相关 I/O 结构有：FT_af。
3. 表 4.2 中的相关 I/O 结构是 FT_h。
4. 表 4.2 中的相关 I/O 结构是 FT_u。

表 4.2 RX32G410xE 引脚定义

引脚数量		引脚名称（复位后的功能）(1)	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
1	1	PE6	I/O	WKUP	-	TIM3_CH1, TIM1_CH1, HRTIM1_FLT3, EVENTOUT	WKUP1
2	2	PC13-TAMPERRTC	I/O	WKUP	-	TIM1_BKIN, TIM1_CH2, TIM1_CH1N, TIM8_CH4N, HRTIM1_FLT4, EVENTOUT	ADC1_IN13
3	3	PC14	I/O	FT_af	-	TIM2_CH4, TIM5_CH4, TIM1_CH3, TIM1_CH2, UART2_TX, TIM15_CH1, EVENTOUT	ADC1_IN1, COMP1_N2
4	4	PC15	I/O	FT_af	-	TIM2_CH3, TIM5_CH3, TIM1_CH1N, TIM1_CH2N, UART2_RX, TIM15_CH2, EVENTOUT	ADC1_IN2, COMP1_P2
5	5	PF0-OSC_IN	I/O	FT_a	-	TIM1_CH2N, TIM1_CH3, EVENTOUT	-
6	6	PF1-OSC_OUT	I/O	FT_a	-	TIM1_CH3N, EVENTOUT	-
7	7	NRST	I/O	NRST	-	EVENTOUT	-
8	8	PC0	I/O	FT_a	-	TIM1_CH1, EVENTOUT	ADC1_IN3, COMP1_N1, OPAMP1_P2
9	9	PC1	I/O	FT_a	-	TIM1_CH2, EVENTOUT	ADC1_IN7, COMP2_N1, OPAMP1_N3
10	10	PC2	I/O	FT_a	-	TIM1_CH3, COMP3_OUT, COMP1_OUT,	ADC1_IN8

引脚数量		引脚名称（复位后的功能）(1)	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
						EVENTOUT	
11	11	PC3 若 PC3 引脚被用于 OPAMP1_N2， 在独立模式下，可作为 OPAMP1 反相输入。 在 PGA 模式下，仅作为外部滤波使用。	I/O	FT_a	(4)	TIM1_CH4, TIM1_BKIN2, COMP2_OUT, EVENTOUT	ADC1_IN9, OPAMP1_N2
12	12	PA0	I/O	FT_a	-	TIM2_CH1, TIM5_CH1, TIM1_CH3, TIM1_CH2N, UART2_CTS, TIM8_BKIN, TIM8_ETR, TIM2_ETR, EVENTOUT	ADC1_IN4, COMP1_P1
13	13	PA1	I/O	FT_a	-	TIM2_CH2, TIM5_CH2, TIM1_CH3N, UART2_RTS, TIM15_CH1N, EVENTOUT	ADC1_IN5, COMP2_P1
14	14	PA2	I/O	FT_a	-	EVENTOUT	OPAMP1_P1
15	15	VSS	S	-	-	-	-
16	16	VDD	S	-	-	-	-
17	17	PA3	I/O	FT_a	-	EVENTOUT	ADC1_IN6, OPAMP1_N1
18	18	PA4	I/O	FT_a	-	EVENTOUT	ADC1_IN10, OPAMP1_OUT
19	19	PA5	I/O	FT_a	-	TIM2_CH1, TIM2_ETR, SPI1_SCK, EVENTOUT	OPAMP2_P1
20	20	PA6	I/O	FT_a	-	TIM16_CH1, TIM3_CH1, SPI1_MISO, COMP1_OUT, EVENTOUT	OPAMP2_N1
21	21	PA7	I/O	FT_a	-	TIM17_CH1, TIM3_CH2,	ADC2_IN7, OPAMP2_OUT

引脚数量		引脚名称（复位后的功能）(1)	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
						SPI1_MOSI, COMP2_OUT, CLC_INA, EVENTOUT	
22	22	PC4 若 PC4 引脚被用于 OPAMP2_N2，在独立模式下，可作为 OPAMP2 反相输入。在 PGA 模式下，仅作为外部滤波使用。	I/O	FT_a	(4)	TIM1_ETR, UART1_TX, CLC_INB, EVENTOUT	ADC2_IN1, COMP2_N2, OPAMP2_N2
23	23	PC5 若 PC5 引脚被用于 OPAMP3_N2，在独立模式下，可作为 OPAMP3 反相输入。在 PGA 模式下，仅作为外部滤波使用。	I/O	FT_a	(4)	TIM15_BKIN, UART1_RX, CLC_INC, HRTIM1_EEV10, EVENTOUT	ADC2_IN2, COMP2_P2, OPAMP3_N2
24	24	PB0	I/O	FT_a	-	TIM3_CH3, SPI1_NSS, CLC_IND, EVENTOUT	ADC2_IN8, OPAMP3_OUT
25	25	PB1	I/O	FT_a	-	TIM3_CH4, COMP4_OUT, CLC_1OUT, HRTIM1_SCOUT, EVENTOUT	OPAMP3_N1
26	26	PB2	I/O	FT_a	-	TIM5_CH1, CLC_2OUT, HRTIM1_SCIN, EVENTOUT	OPAMP3_P1
27	27	VSSA	S	-	-	-	-
28	28	VREF+	S	-	-	-	-
29	29	VDDA	S	-	-	-	-
-	30	PE7	I/O	FT_a	-	TIM1_ETR, CLC_3OUT, EVENTOUT	COMP3_N2, OPAMP2_N3
-	31	PE8	I/O	FT_a	-	TIM5_CH3, TIM1_CH1N, CLC_4OUT, EVENTOUT	COMP3_P2, OPAMP2_P2
-	32	PE9	I/O	FT_a	-	TIM5_CH4, TIM1_CH1,	ADC2_IN3, OPAMP3_N3,

引脚数量		引脚名称（复位后的功能）(1)	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
						CLC_INA, EVENTOUT	DAC1_OUT1
-	33	PE10	I/O	FT_a	-	TIM1_CH2N, CLC_INB, EVENTOUT	ADC2_IN4, OPAMP3_P2, DAC1_OUT2
-	34	PE11	I/O	FT_a	-	TIM1_CH2, CLC_INC, EVENTOUT	COMP4_N2, OPAMP4_N3
-	35	PE12	I/O	FT_a	-	TIM1_CH3N, CLC_IND, EVENTOUT	COMP4_P2, OPAMP4_P2
-	36	PE13	I/O	FT_a	-	TIM1_CH3, EVENTOUT	ADC2_IN5, DAC2_OUT1
-	37	PE14	I/O	FT_a	-	TIM1_CH4, TIM1_BKIN2, CLC_1OUT, EVENTOUT	ADC3_IN1
-	38	PE15	I/O	FT_a	-	TIM1_CH4N, UART3_RX, CLC_2OUT, EVENTOUT	ADC3_IN2
30	39	PB10	I/O	FT_a	-	TIM2_CH3, UART3_TX, CLC_3OUT, TIM1_CH5, TIM1_BKIN, EVENTOUT	ADC3_IN3, OPAMP4_P1
31	40	VSS	S	-	-	-	-
32	41	VDD	S	-	-	-	-
33	42	PB11	I/O	FT_a	-	TIM2_CH4, UART3_RX, CLC_4OUT, TIM1_CH6, EVENTOUT	ADC3_IN4, OPAMP4_N1
34	43	PB12	I/O	FT_af	-	TIM5_ETR, I2C2_SMBA, SPI2_NSS, CAN2_RX,	ADC3_IN10, OPAMP4_OUT

引脚数量		引脚名称（复位后的功能）(1)	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
						CLC_INA, EVENTOUT	
35	44	PB13	I/O	FT_a	-	SPI2_SCK, TIM8_CH1N, UART3_CTS, CAN2_TX, CLC_INB, EVENTOUT	ADC3_IN5, COMP3_P1
36	45	PB14	I/O	FT_a	-	TIM15_CH1, SPI2_MISO, TIM8_CH2N, UART3_RTS, TIM8_CH1, CLC_INC, EVENTOUT	ADC3_IN6, COMP4_P1
37	46	PB15	I/O	FT	-	TIM15_CH1N, COMP3_OUT, SPI2_MOSI, TIM8_CH3N, TIM8_CH2N, CLC_IND, EVENTOUT	-
-	47	PD8 若 PD8 引脚被用于 OPAMP4_N2，在独立模式下，可作为 OPAMP4 反相输入。在 PGA 模式下，仅作为外部滤波使用。	I/O	FT_a	(4)	COMP4_OUT, UART3_TX, CLC_1OUT, EVENTOUT	ADC3_IN7, OPAMP4_N2
-	48	PD9	I/O	FT_a	-	UART3_RX, CLC_2OUT, EVENTOUT	ADC3_IN8, COMP3_N1
-	49	PD10	I/O	FT_a	-	CLC_3OUT, EVENTOUT	ADC3_IN9, COMP4_N1
-	50	VSS	S	-	-	-	-
-	51	VDD	S	-	-	-	-
38	52	PC6	I/O	FT_h	-	TIM3_CH1, HRTIM1_EEV10, CAN2_RX, CLC_4OUT, HRTIM1_CHB1, EVENTOUT	-

引脚数量		引脚名称（复位后的功能）[1]	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
39	53	PC7	I/O	FT_h	-	TIM3_CH2, HRTIM1_FLT5, TIM8_CH1N, CAN2_TX, HRTIM1_CHB2, EVENTOUT	-
40	54	PC8	I/O	FT_h	-	TIM3_CH3, TIM8_CH1, TIM8_CH2N, HRTIM1_CHE1, EVENTOUT	-
41	55	PC9	I/O	FT_h	-	TIM3_CH4, TIM8_CH2N, TIM8_CH3N, HRTIM1_CHE2, EVENTOUT	-
42	56	PA8	I/O	FT_h	-	MCO, TIM8_CH5, TIM8_CH2, TIM8_CH1, TIM4_ETR, HRTIM1_CHA1, EVENTOUT	-
43	57	PA9	I/O	FT_h	-	TIM8_CH6, TIM8_CH3N, TIM8_CH2, UART1_TX, TIM15_BKIN, TIM2_CH3, HRTIM1_CHA2, EVENTOUT	-
44	58	PA10	I/O	WKUP	-	TIM17_BKIN, SPI2_MISO, TIM8_CH3, UART1_RX, TIM2_CH4, TIM8_BKIN, EVENTOUT	WKUP2
45	59	PA11	I/O	FT_u	-	USB_DM, SPI2_MOSI, UART1_CTS, CAN1_RX, TIM4_CH1,	-

引脚数量		引脚名称（复位后的功能）(1)	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
						TIM1_CH4, TIM1_BKIN2, HRTIM1_FLT5, EVENTOUT	
46	60	PA12	I/O	FT_u	-	USB_DP, TIM16_CH1, UART1_RTS, CAN1_TX, TIM4_CH2, TIM1_ETR, HRTIM1_FLT1, EVENTOUT	-
47	61	VSS	S	-	-	-	-
48	62	VDD	S	-	-	-	-
49	63	PA13 复位后，该引脚被配置为 JTAG/串行调试备用功能，并激活 PA13 引脚上的内部上拉电阻	I/O	FT_af	(2)	DBGIO-JTMS, TIM16_CH1N, I2C1_SCL, UART3_CTS, TIM4_CH3, EVENTOUT	-
50	64	PA14 复位后，该引脚被配置为 JTAG/串行调试备用功能，并激活 PA14 引脚上的内部下拉电阻	I/O	FT_af	(2)	DBGCLK-JTCK, I2C1_SDA, TIM8_CH2, TIM1_BKIN, UART2_TX, EVENTOUT	-
51	65	PA15 复位后，该引脚被配置为 JTAG/串行调试备用功能，并激活 PA15 引脚上的内部上拉电阻	I/O	FT_h	(2)	JTDI, TIM2_CH1, TIM8_CH1, SPI1_NSS, UART2_RX, UART4_RTS, HRTIM1_CHC1, HRTIM1_FLT2, TIM2_ETR, EVENTOUT	-
52	66	PC10	I/O	FT_h	-	TIM8_CH1N, UART4_TX, UART3_TX, TIM3_CH1, HRTIM1_CHC2, HRTIM1_FLT6,	-

引脚数量		引脚名称（复位后的功能）[1]	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
						EVENTOUT	
53	67	PC11	I/O	FT_h	-	TIM1_CH5, HRTIM1_EEV2, TIM8_CH2N, UART4_RX, UART3_RX, TIM3_CH2, HRTIM1_CHD1, EVENTOUT	-
54	68	PC12	I/O	FT_h	-	TIM5_CH2, HRTIM1_EEV1, TIM8_CH3N, UART5_TX, TIM3_CH3, HRTIM1_CHD2, EVENTOUT	-
-	69	PD0	I/O	FT_h	-	TIM8_CH4N, CAN1_RX, HRTIM1_CHF1, EVENTOUT	-
-	70	PD1	I/O	FT_h	-	TIM8_CH4, TIM8_BKIN2, CAN1_TX, HRTIM1_CHF2, EVENTOUT	-
55	71	PD2	I/O	WKUP	-	TIM3_ETR, TIM8_BKIN, UART5_RX, TIM8_CH5, EVENTOUT	WKUP3
56	72	PB3	I/O	WKUP	[2]	JTDO, TIM2_CH2, TIM4_ETR, SPI1_SCK, TIM8_CH6, UART2_TX, TIM8_BKIN2, TIM3_ETR, HRTIM1_SCOUT, HRTIM1_EEV9, EVENTOUT	WKUP4

引脚数量		引脚名称（复位后的功能）(1)	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
57	73	PB4 复位后，该引脚被配置为 JTAG/串行调试备用功能，并激活 PB4 引脚上的内部上拉电阻	I/O	FT	(2)	JTRST, TIM16_CH1, TIM3_CH1, SPI1_MISO, UART2_RX, UART5_RTS, TIM17_BKIN, TIM8_CH1N, HRTIM1_EEV7, EVENTOUT	-
58	74	PB5	I/O	FT_af	-	TIM16_BKIN, TIM3_CH2, I2C1_SMBA, SPI1_MOSI, CAN2_RX, TIM17_CH1, TIM8_CH2N, TIM8_CH1, HRTIM1_EEV6, UART5_CTS, EVENTOUT	-
59	75	PB6	I/O	FT_af	-	TIM16_CH1N, TIM4_CH1, TIM3_CH3, I2C1_SCL, TIM8_ETR, UART1_TX, COMP4_OUT, CAN2_TX, TIM8_CH2N, TIM8_CH3N, HRTIM1_SCIN, HRTIM1_EEV4, EVENTOUT	-
60	76	PB7	I/O	FT_af	-	TIM17_CH1N, TIM4_CH2, I2C1_SDA, UART1_RX, COMP3_OUT, TIM3_CH4, TIM8_CH1, TIM8_CH2, HRTIM1_EEV3, UART4_CTS, EVENTOUT	-

引脚数量		引脚名称（复位后的功能）[1]	引脚类型	I/O 结构	注意	复用功能	附加功能
LQFP64	LQFP80						
61	77	PB8-BOOT0	I/O	FT_af	[3]	TIM16_CH1, TIM4_CH3, I2C1_SCL, I2C2_SDA, UART3_RX, COMP1_OUT, CAN1_RX, TIM8_CH2, TIM8_CH3N, HRTIM1_EEV8, EVENTOUT	-
62	78	PB9	I/O	FT_af	-	TIM17_CH1, TIM4_CH4, I2C1_SDA, I2C2_SCL, UART3_TX, COMP2_OUT, CAN1_TX, TIM8_CH3, TIM1_CH3N, HRTIM1_EEV5, EVENTOUT	-
63	79	VSS	S	-	-	-	-
64	80	VDD	S	-	-	-	-

1. 功能可用性取决于所选设备。
2. 复位后，这些引脚被配置为 JTAG/串行调试备用功能，并激活 PA15、PA13、PB4 引脚上的内部上拉电阻以及 PA14 引脚上的内部下拉电阻。
3. 如果引脚未连接，建议在启动后将 PB8 设置为模拟模式以外的其他模式，以限制功耗。
4. 如果引脚被用于 OPAMPx_N2(x=1…4)，在独立模式下，可作为 OPAMPx(x=1…4)反相输入。在 PGA 模式下，仅作为外部滤波使用。

4.4 复用功能

表 4.3 复用功能

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	TIM2/5 /16/17	TIM1/2/3 /4/5/8/15	TIM1/3/8 HRTIM1 COMP3/4	TIM1/8 I2C1/2	SPI1/2 TIM1/8 I2C2 UART4/5	TIM1/8	UART 1/2/3	COMP 1/2/3/4 TIM3/8 UART4/5	TIM8/15 CAN1/2	TIM2/3 /4/8/17 CLC	TIM1/8	TIM1/8 HRTIM1	HRTIM1	TIM2 UART4/5	EVENT
Port A	PA0	-	TIM2_CH1	TIM5_CH1	-	TIM1_CH3	TIM1 _CH2N	-	UART2 _CTS	-	TIM8 _BKIN	TIM8_ETR	-	-	-	TIM2_ETR	EVENT OUT
	PA1	-	TIM2_CH2	TIM5_CH2	-	TIM1_CH3N	-	-	UART2 _RTS	-	TIM15 _CH1N	-	-	-	-	-	EVENT OUT
	PA2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
	PA3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
	PA4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
	PA5	-	TIM2_CH1	TIM2_ETR	-	-	SPI1 _SCK	-	-	-	-	-	-	-	-	-	EVENT OUT
	PA6	-	TIM16_CH1	TIM3_CH1	-	-	SPI1 _MISO	-	-	COMP1_OUT	-	-	-	-	-	-	EVENT OUT
	PA7	-	TIM17_CH1	TIM3_CH2	-	-	SPI1 _MOSI	-	-	COMP2_OUT	-	CLC_INA	-	-	-	-	EVENT OUT
	PA8	MCO	-	-	TIM8_CH5	-	TIM8 _CH2	TIM8_CH1	-	-	-	TIM4_ETR	-	-	HRTIM1 _CHA1	-	EVENT OUT
	PA9	-	-	-	TIM8_CH6	-	TIM8 _CH3N	TIM8_CH2	UART1 _TX	-	TIM15 _BKIN	TIM2_CH3	-	-	HRTIM1 _CHA2	-	EVENT OUT
	PA10	-	TIM17_BKIN	-	-	-	SPI2 _MISO	TIM8_CH3	UART1 _RX	-	-	TIM2_CH4	TIM8_BKIN	-	-	-	EVENT OUT
	PA11	USB_DM	-	-	-	-	SPI2 _MOSI	-	UART1 _CTS	-	CAN1_RX	TIM4_CH1	TIM1_CH4	TIM1 _BKIN2	HRTIM1 _FLT5	-	EVENT OUT
	PA12	USB_DP	TIM16_CH1	-	-	-	-	-	UART1 _RTS	-	CAN1_TX	TIM4_CH2	TIM1_ETR	-	HRTIM1 _FLT1	-	EVENT OUT
	PA13	DBGIO -JTMS	TIM16_CH1N	-	-	I2C1_SCL	-	-	UART3 _CTS	-	-	TIM4_CH3	-	-	-	-	EVENT OUT
	PA14	DBGCLK -JTCK	-	-	-	I2C1_SDA	TIM8 _CH2	TIM1_BKIN	UART2 _TX	-	-	-	-	-	-	-	EVENT OUT
	PA15	JTDI	TIM2_CH1	TIM8_CH1	-	-	SPI1 _NSS	-	UART2 _RX	UART4_RTS	-	-	-	HRTIM1 _CHC1	HRTIM1 _FLT2	TIM2_ETR	EVENT OUT

表 4.3 复用功能（继续）

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	TIM2/5 /16/17	TIM1/2/3 /4/5/8/15	TIM1/3/8 HRTIM1 COMP3/4	TIM1/8 I2C1/2	SPI1/2 TIM1/8 I2C2 UART4/5	TIM1/8	UART 1/2/3	COMP 1/2/3/4 TIM3/8 UART4/5	TIM8/15 CAN1/2	TIM2/3 /4/8/17 CLC	TIM1/8	TIM1/8 HRTIM1	HRTIM1	TIM2 UART4/5	EVENT
Port B	PB0	-	-	TIM3_CH3	-	-	SPI1_NSS	-	-	-	-	CLC_IND	-	-	-	-	EVENT OUT
	PB1	-	-	TIM3_CH4	-	-	-	-	-	COMP4_OUT	-	CLC_1OUT	-	-	HRTIM1 _SCOUT	-	EVENT OUT
	PB2	-	-	TIM5_CH1	-	-	-	-	-	-	-	CLC_2OUT	-	-	HRTIM1 _SCIN	-	EVENT OUT
	PB3	JTDO	TIM2_CH2	TIM4_ETR	-	-	SPI1_SCK	TIM8 _CH6	UART2 _TX	-	TIM8 _BKIN2	TIM3_ETR	-	HRTIM1 _SCOUT	HRTIM1 _EEV9	-	EVENT OUT
	PB4	JTRST	TIM16_CH1	TIM3_CH1	-	-	SPI1_MISO	-	UART2 _RX	UART5_RTS	-	TIM17_BKIN	TIM8_CH1N	-	HRTIM1 _EEV7	-	EVENT OUT
	PB5	-	TIM16_BKIN	TIM3_CH2	-	I2C1_SMBA	SPI1_MOSI	-	-	-	CAN2_RX	TIM17_CH1	TIM8_CH2N	TIM8_CH1	HRTIM1 _EEV6	UART5 _CTS	EVENT OUT
	PB6	-	TIM16_CH1N	TIM4_CH1	TIM3_CH3	I2C1_SCL	-	TIM8 _ETR	UART1 _TX	COMP4_OUT	CAN2_TX	TIM8_CH2N	TIM8_CH3N	HRTIM1 _SCIN	HRTIM1 _EEV4	-	EVENT OUT
	PB7	-	TIM17_CH1N	TIM4_CH2	-	I2C1_SDA	-	-	UART1 _RX	COMP3_OUT	-	TIM3_CH4	TIM8_CH1	TIM8_CH2	HRTIM1 _EEV3	UART4 _CTS	EVENT OUT
	PB8	-	TIM16_CH1	TIM4_CH3	-	I2C1_SCL	I2C2_SDA	-	UART3 _RX	COMP1_OUT	CAN1_RX	TIM8_CH2	-	TIM8 _CH3N	HRTIM1 _EEV8	-	EVENT OUT
	PB9	-	TIM17_CH1	TIM4_CH4	-	I2C1_SDA	I2C2_SCL	-	UART3 _TX	COMP2_OUT	CAN1_TX	TIM8_CH3	-	TIM1 _CH3N	HRTIM1 _EEV5	-	EVENT OUT
	PB10	-	TIM2_CH3	-	-	-	-	-	UART3 _TX	-	-	CLC_3OUT	TIM1_CH5	TIM1 _BKIN	-	-	EVENT OUT
	PB11	-	TIM2_CH4	-	-	-	-	-	UART3 _RX	-	-	CLC_4OUT	-	TIM1_CH6	-	-	EVENT OUT
	PB12	-	-	TIM5_ETR	-	I2C2_SMBA	SPI2_NSS	-	-	-	CAN2_RX	CLC_INA	-	-	-	-	EVENT OUT
	PB13	-	-	-	-	-	SPI2_SCK	TIM8 _CH1N	UART3 _CTS	-	CAN2_TX	CLC_INB	-	-	-	-	EVENT OUT
	PB14	-	-	TIM15_CH1	-	-	SPI2_MISO	TIM8 _CH2N	UART3 _RTS	TIM8_CH1	-	CLC_INC	-	-	-	-	EVENT OUT
	PB15	-	-	TIM15_CH1N	COMP3_OUT	-	SPI2_MOSI	TIM8 _CH3N	-	TIM8_CH2N	-	CLC_IND	-	-	-	-	EVENT OUT

表 4.3 复用功能（继续）

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	TIM2/5 /16/17	TIM1/2/3 /4/5/8/15	TIM1/3/8 HRTIM1 COMP3/4	TIM1/8 I2C1/2	SPI1/2 TIM1/8 I2C2 UART4/5	TIM1/8	UART 1/2/3	COMP 1/2/3/4 TIM3/8 UART4/5	TIM8/15 CAN1/2	TIM2/3 /4/8/17 CLC	TIM1/8	TIM1/8 HRTIM1	HRTIM1	TIM2 UART4/5	EVENT
Port C	PC0	-	-	TIM1_CH1	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
	PC1	-	-	TIM1_CH2	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
	PC2	-	-	TIM1_CH3	COMP3_OUT	-	-	-	-	COMP1_OUT	-	-	-	-	-	-	EVENT OUT
	PC3	-	-	TIM1_CH4	-	-	-	TIM1 _BKIN2	-	COMP2_OUT	-	-	-	-	-	-	EVENT OUT
	PC4	-	-	TIM1_ETR	-	-	-	-	UART1 _TX	-	-	CLC_INB	-	-	-	-	EVENT OUT
	PC5	-	-	TIM15_BKIN	-	-	-	-	UART1 _RX	-	-	CLC_INC	-	-	HRTIM1 _EEV10	-	EVENT OUT
	PC6	-	-	TIM3_CH1	HRTIM1 _EEV10	-	-	-	-	-	CAN2_RX	CLC_4OUT	-	-	HRTIM1 _CHB1	-	EVENT OUT
	PC7	-	-	TIM3_CH2	HRTIM1 _FLT5	-	-	TIM8 _CH1N	-	-	CAN2_TX	-	-	-	HRTIM1 _CHB2	-	EVENT OUT
	PC8	-	-	TIM3_CH3	-	-	TIM8_CH1	TIM8 _CH2N	-	-	-	-	-	-	HRTIM1 _CHE1	-	EVENT OUT
	PC9	-	-	TIM3_CH4	-	-	TIM8 _CH2N	TIM8 _CH3N	-	-	-	-	-	-	HRTIM1 _CHE2	-	EVENT OUT
	PC10	-	-	-	-	TIM8_CH1N	UART4 _TX	-	UART3 _TX	TIM3_CH1	-	-	-	HRTIM1 _CHC2	HRTIM1 _FLT6	-	EVENT OUT
	PC11	-	-	TIM1_CH5	HRTIM1 _EEV2	TIM8_CH2N	UART4 _RX	-	UART3 _RX	TIM3_CH2	-	-	-	HRTIM1 _CHD1	-	-	EVENT OUT
	PC12	-	TIM5_CH2	-	HRTIM1 _EEV1	TIM8_CH3N	UART5 _TX	-	-	TIM3_CH3	-	-	-	HRTIM1 _CHD2	-	-	EVENT OUT
	PC13	-	-	TIM1_BKIN	TIM1_CH2	TIM1_CH1N	I2C2 _SMBA	TIM8 _CH4N	-	-	-	-	-	-	HRTIM1 _FLT4	-	EVENT OUT
	PC14	-	TIM2_CH4	TIM5_CH4	TIM1_CH3	TIM1_CH2	I2C2_SDA	-	UART2 _TX	-	TIM15_CH1	-	-	-	-	-	EVENT OUT
	PC15	-	TIM2_CH3	TIM5_CH3	TIM1_CH1N	TIM1_CH2N	I2C2_SCL	-	UART2 _RX	-	TIM15_CH2	-	-	-	-	-	EVENT OUT

表 4.3 复用功能（继续）

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	TIM2/5 /16/17	TIM1/2/3 /4/5/8/15	TIM1/3/8 HRTIM1 COMP3/4	TIM1/8 I2C1/2	SPI1/2 TIM1/8 I2C2 UART4/5	TIM1/8	UART 1/2/3	COMP 1/2/3/4 TIM3/8 UART4/5	TIM8/15 CAN1/2	TIM2/3 /4/8/17 CLC	TIM1/8	TIM1/8 HRTIM1	HRTIM1	TIM2 UART4/5	EVENT
Port D	PD0	-	-	-	-	-	-	TIM8 _CH4N	-	-	CAN1_RX	-	-	HRTIM1 _CHF1	-	-	EVENT OUT
	PD1	-	-	-	-	TIM8_CH4	-	TIM8 _BKIN2	-	-	CAN1_TX	-	-	HRTIM1 _CHF2	-	-	EVENT OUT
	PD2	-	-	TIM3_ETR	-	TIM8_BKIN	UART5 _RX	TIM8 _CH5	-	-	-	-	-	-	-	-	EVENT OUT
	PD8	-	-	-	COMP4_OUT	-	-	-	UART3 _TX	-	-	CLC_1OUT	-	-	-	-	EVENT OUT
	PD9	-	-	-	-	-	-	-	UART3 _RX	-	-	CLC_2OUT	-	-	-	-	EVENT OUT
	PD10	-	-	-	-	-	-	-	-	-	-	CLC_3OUT	-	-	-	-	EVENT OUT

表 4.3 复用功能（继续）

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	TIM2/5 /16/17	TIM1/2/3 /4/5/8/15	TIM1/3/8 HRTIM1 COMP3/4	TIM1/8 I2C1/2	SPI1/2 TIM1/8 I2C2 UART4/5	TIM1/8	UART 1/2/3	COMP 1/2/3/4 TIM3/8 UART4/5	TIM8/15 CAN1/2	TIM2/3 /4/8/17 CLC	TIM1/8	TIM1/8 HRTIM1	HRTIM1	TIM2 UART4/5	EVENT
Port E	PE6	-	-	TIM3_CH1	-	TIM1_CH1	-	-	-	-	-	-	-	-	HRTIM1 _FLT3	-	EVENT OUT
	PE7	-	-	TIM1_ETR	-	-	-	-	-	-	-	CLC_3OUT	-	-	-	-	EVENT OUT
	PE8	-	TIM5_CH3	TIM1_CH1N	-	-	-	-	-	-	-	CLC_4OUT	-	-	-	-	EVENT OUT
	PE9	-	TIM5_CH4	TIM1_CH1	-	-	-	-	-	-	-	CLC_INA	-	-	-	-	EVENT OUT
	PE10	-	-	TIM1_CH2N	-	-	-	-	-	-	-	CLC_INB	-	-	-	-	EVENT OUT
	PE11	-	-	TIM1_CH2	-	-	-	-	-	-	-	CLC_INC	-	-	-	-	EVENT OUT
	PE12	-	-	TIM1_CH3N	-	-	-	-	-	-	-	CLC_IND	-	-	-	-	EVENT OUT
	PE13	-	-	TIM1_CH3	-	-	-	-	-	-	-	-	-	-	-	-	EVENT OUT
	PE14	-	-	TIM1_CH4	-	-	-	TIM1 _BKIN2	-	-	-	CLC_1OUT	-	-	-	-	EVENT OUT
	PE15	-	-	-	-	-	-	TIM1 _CH4N	UART3 _RX	-	-	CLC_2OUT	-	-	-	-	EVENT OUT

表 4.3 复用功能（继续）

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	TIM2/5 /16/17	TIM1/2/3 /4/5/8/15	TIM1/3/8 HRTIM1 COMP3/4	TIM1/8 I2C1/2	SPI1/2 TIM1/8 I2C2 UART4/5	TIM1/8	UART 1/2/3	COMP 1/2/3/4 TIM3/8 UART4/5	TIM8/15 CAN1/2	TIM2/3 /4/8/17 CLC	TIM1/8	TIM1/8 HRTIM1	HRTIM1	TIM2 UART4/5	EVENT
Port F	PF0	-	-	-	TIM1_CH2N	-	SPI2_NSS	TIM1_CH3	-	-	-	-	-	-	-	-	EVENT OUT
	PF1	-	-	-	TIM1_CH3N	-	SPI2_SCK	-	-	-	-	-	-	-	-	-	EVENT OUT

5 电气特性

5.1 测试条件

除非特别说明，所有电压均参考 V_{SS}。

5.1.1 最小值和最大值

除非特别说明，在生产线上通过对 100%的产品在环境温度 T_A = 25°C 下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均±3σ)得到。

5.1.2 典型值

除非特别说明，典型数据以 T_A = 25°C，V_{DD} = V_{DDA} = 3.3V 为基础。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均±2σ)。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

用于引脚参数测量的负载情况如图 5.1 所示。

5.1.5 引脚输入电压

图 5.2 描述了该器件的一个引脚上的输入电压测量。

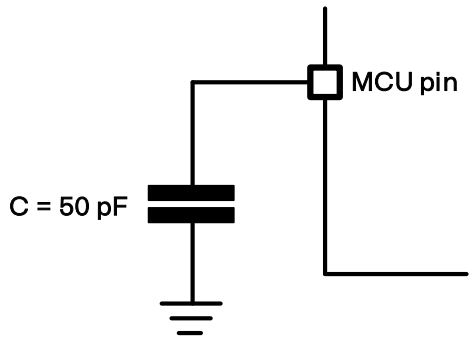


图 5.1 引脚负载情况

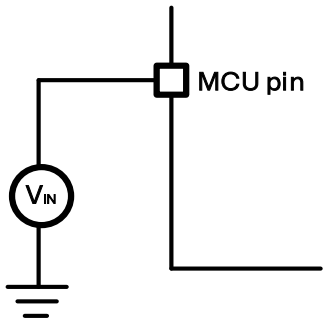


图 5.2 引脚输入电压

5.1.6 供电方案

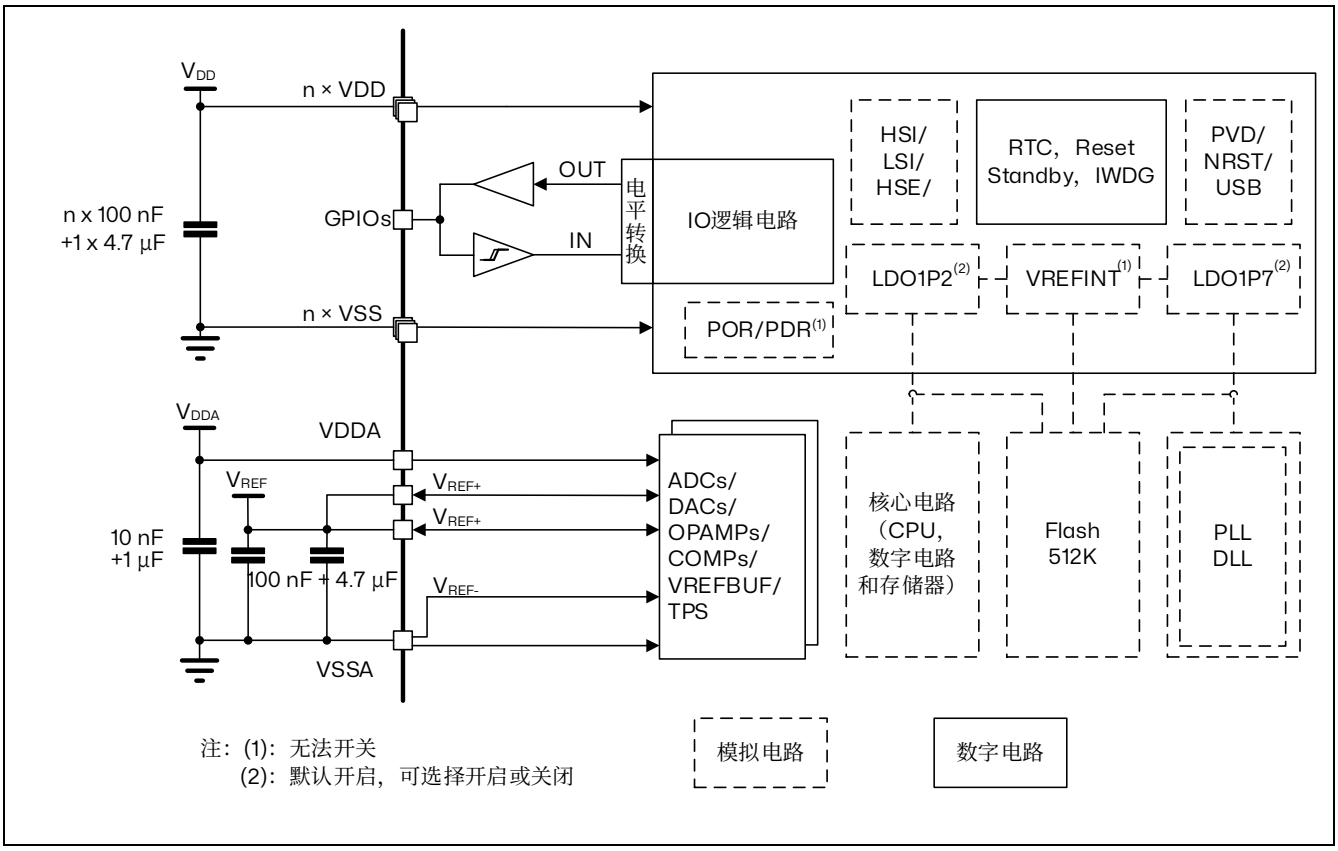


图 5.3 供电方案

注意：每个电源对（VDD/VSS，VDDA/ VSSA 等）必须采用如上所示的滤波陶瓷电容器去耦。这些电容器必须尽可能靠近对应引脚的PCB 底部，以确保芯片的良好功能。

5.1.7 电流消耗测量

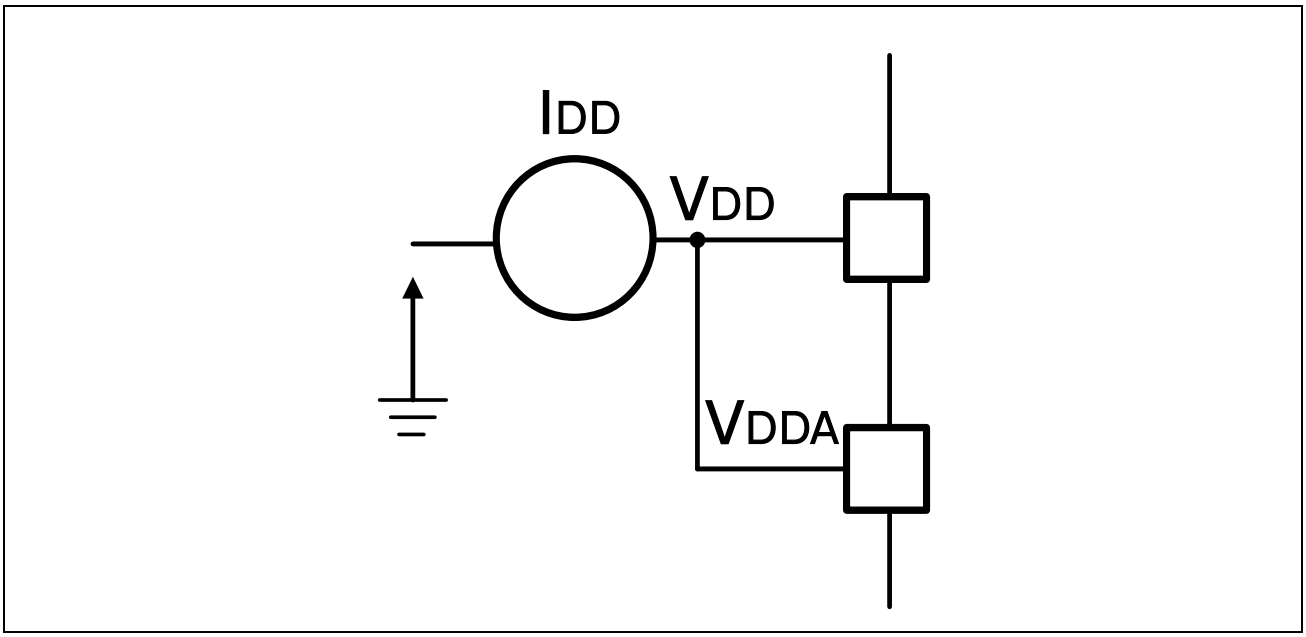


图 5.4 电流功耗测量方案

5.2 绝对最大额定值

加载在器件上的载荷如果超过本节“绝对最大额定值”中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5.1 电压特性[1]

符号	描述	最小值	最大值	单位
V_{DD} - V_{SS}	外部主供电电压（包含 V_{DDA} 和 V_{DD}）	-0.3	4	V
V_{IN}[2]	在 FT_xxx 引脚上的输入电压	V_{SS} - 0.3	7	
$\lvert\Delta V_{DDx}\rvert$	不同供电引脚之间的电压差	-	50	mV
$\lvert V_{SSX} - V_{SS}\rvert$	不同接地引脚之间的电压差	-	50	

1. 所有的电源（V_{DD}，V_{DDA}）和地（V_{SS}，V_{SSA}）引脚必须始终连接到允许范围内的外部供电系统上。
2. 必须保证 V_{IN} 不超过其最大值。最大允许注入电流值参考电流特性。

表 5.2 电流特性

符号	额定值	最大值	单位
$\sum IV_{DD}$	经过 V_{DD} 电源线的总电流（拉电流）[1]	150	mA
$\sum IV_{SS}$	经过 V_{SS} 地线的总电流（灌电流）[1]	150	
$IV_{DD(PIN)}$	每个 V_{DD} 电源引脚的最大电流（拉电流）[1]	100	
$IV_{ss(PIN)}$	每个 V_{SS} 地线引脚的最大电流（灌电流）[1]	100	
$I_{IO(PIN)}$	任意 I/O 和控制引脚消耗的输出电流	20	
	任意 I/O 和控制引脚提供的输出电流	20	
$\sum I_{IO(PIN)}$	所有 I/O 和控制引脚消耗的总输出电流[2]	100	
	所有 I/O 和控制引脚提供的总输出电流[2]	100	
$I_{INJ(PIN)}$[3]	FT_xxx、NRST 引脚上的注入电流	-5/0[4]	
$\sum \lvert I_{INJ(PIN)}\rvert$	所有 I/O 和控制引脚上的总注入电流[5]	±25	

1. 所有的电源（V_{DD}，V_{DDA}）和地（V_{SS}，V_{SSA}）引脚必须始终连接到允许范围内的外部供电系统上。
2. 电流消耗必须正确分配到所有 I/O 和控制引脚。总输出电流不应在连续的两个电源引脚之间被消耗/提供，尤其是针对高引脚数 LQFP 封装。
3. 这些 I/O 上无法实现正向注入（当 $V_{IN} > V_{DD}$），并且当输入电压低于指定的最大值时也不会发生正向注入。
4. 当 $V_{IN}>V_{DD}$ 时，有一个正向注入电流。当 $V_{IN} < V_{SS}$ 时，有一个反向注入电流。$I_{INJ(PIN)}$绝对不可以超过它的极限。请参考表 5.1：电压特性，以获取允许的最小输入电压值。
5. 当几个 I/O 口同时有注入电流时，$\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

表 5.3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65 至 150	°C
T_J	最大结温度	150	°C

5.3 工作条件

5.3.1 通用工作条件

表 5.4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	-	192	MHz
f_{PCLK1}	内部 APB1 时钟频率	-	-	192	MHz
f_{PCLK2}	内部 APB2 时钟频率	-	-	192	MHz
V_{DD}	标准工作电压	-	2.5	3.6	V
V_{DDA}(1)	模拟工作电压（未使用 ADC 或 OPAMP 或 COMP）	必须和 V_{DD} 相等(2)	2.5	3.6	V
	模拟工作电压（使用 ADC 或 OPAMP 或 COMP）		2.5	3.6	
V_{IN}	I/O 输入电压	-	-0.3	V_{DD} + 0.3	V
T_A(3)	环境温度	最高/低功率耗散	-40	125	°C
T_J(3)	结温度范围		-40	135	

1. 使用 ADC 时参考 ADC 特性。
2. 建议使用同样的电源给 V_{DD} 和 V_{DDA}，V_{DD} 和 V_{DDA} 之间的区别在正常运行时不应该超过 300mV。
3. 如果 T_A 较低，只要 TJ 不超过 T_J max，允许更高的 P_D 数值

5.3.2 上电和断电时操作条件

下表中给出的参数依据表 5.4 所总结的环境温度条件下进行的测试。

表 5.5 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	V_{DD} = 3.3V	0	∞	μs/V
	V_{DD} 下降速率		20	∞	

5.3.3 内置复位和电源控制模块特性

下表中给出的参数依据表 5.4：通用工作条件中总结的环境温度条件下进行的测试。

表 5.6 内置复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	V_{DD} 电压	-	2.0	3.3	3.6	V
V_{PVD}	可编程的电压检测器的电平选择 V_{DD}=3.3V	PLS[2:0] = 000（上升沿）	2.18	2.2	2.2	V
		PLS[2:0] = 001（上升沿）	2.28	2.3	2.3	
		PLS[2:0] = 010（上升沿）	2.37	2.4	2.41	
		PLS[2:0] = 011（上升沿）	2.48	2.5	2.5	
		PLS[2:0] = 100（上升沿）	2.58	2.6	2.6	
		PLS[2:0] = 101（上升沿）	2.68	2.7	2.71	
		PLS[2:0] = 110（上升沿）	2.78	2.8	2.8	

符号	参数	条件	最小值	典型值	最大值	单位
		PLS[2:0] = 111（上升沿）	2.89	2.9	2.91	
		PLS[2:0] = 000（下降沿）	2.08	2.1	2.1	
		PLS[2:0] = 001（下降沿）	2.18	2.2	2.2	
		PLS[2:0] = 010（下降沿）	2.28	2.3	2.3	
		PLS[2:0] = 011（下降沿）	2.38	2.4	2.4	
		PLS[2:0] = 100（下降沿）	2.49	2.5	2.51	
		PLS[2:0] = 101（下降沿）	2.58	2.6	2.61	
		PLS[2:0] = 110（下降沿）	2.67	2.7	2.7	
		PLS[2:0] = 111（下降沿）	2.78	2.8	2.8	
V_{hyst}(1)	PVD/PDR 迟滞	-	-	100	-	mV
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿	-	1.9	-	V
		下降沿	-	2.0	-	
$T_{RSTTEMPO}$(1)	复位持续时间	-	0.9	1.5	2.5	ms

1. 由设计保证，不在生产中测试。

5.3.4 内部参考电压

下表中给出的参数依据表 5.4：通用工作条件中总结的环境温度和供电电压条件下进行的测试。

表 5.7 内置的参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	-40 °C < T_A < 150°C V_{DD} = 3.3V	0.99	1	1.01	V
$T_{S_vrefint}$(1)	当读出内部参考电压时，ADC 的采样时间	-	-	0.5(2)	-	us
V_{REFINT}(2)	温度范围内的内部参考电压分布	-40 °C < T_A < +150 °C V_{DD} = 3.3V	-10	-	10	mV
T_{COEFF}(2)	温度系数	-40 °C < T_A < +150 °C V_{DD} = 3.3V	-	30	50	ppm/°C

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 5.4。

表 5.8 睡眠模式下的最大电流消耗，代码从 FLASH 运行

符号	参数	条件	f_{HCLK}	最大值(1) T_A=125°C	单位
I_{DD}(1)	睡眠模式下供电电流	IO 全部设置为模拟，下拉	192Mhz	30.4	mA

1. 由综合评估保证。

表 5.9 运行模式下的最大电流消耗，数据处理代码从 FLASH 运行

符号	参数	条件	f_{HCLK}	最大值(1) T_A=125°C	单位
I_{DD}(1)	运行模式下供电电流	APB1，APB2，AHB 外设时钟全开，所有外设失能	192Mhz	99.4	mA

1. 基于综合评估，并在生产中测试。

表 5.10 停止模式和待机模式下的典型和最大电流消耗

符号	参数	条件		典型值(1)	最大值 T_A=125°C	单位
I_{DD}	停止模式下供电电流	系统时钟为 LSI，IO 全部设置为模拟，下拉	停机模式 0	760	14529	μA
			停机模式 1	698	14295	
	待机模式下供电电流	系统时钟为 LSI，IO 全部设置为模拟，下拉		2.42	11.48	

1. 在 T_A = 25°C 时测量典型值。

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

在旁路模式下，HSE 振荡器被关闭，输入引脚变为标准的 GPIO。

外部时钟信号必须遵守章节：I/O 端口特性。然而，推荐的时钟输入波形如下图所示：高速外部时钟源 AC 时序图。

表 5.11 用户高速外部时钟特性(1)

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟源频率	-	-	16	24	MHz
V_{HSEH}	OSC_IN 输入高电平	-	$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN 输入低电平	-	V_{SS}	-	$0.3V_{DD}$	
$t_{w(HSEH)}$ $t_{w(HSEL)}$	OSC_IN 高/低电平时间	-	-	30	-	ns

1. 由设计保证。

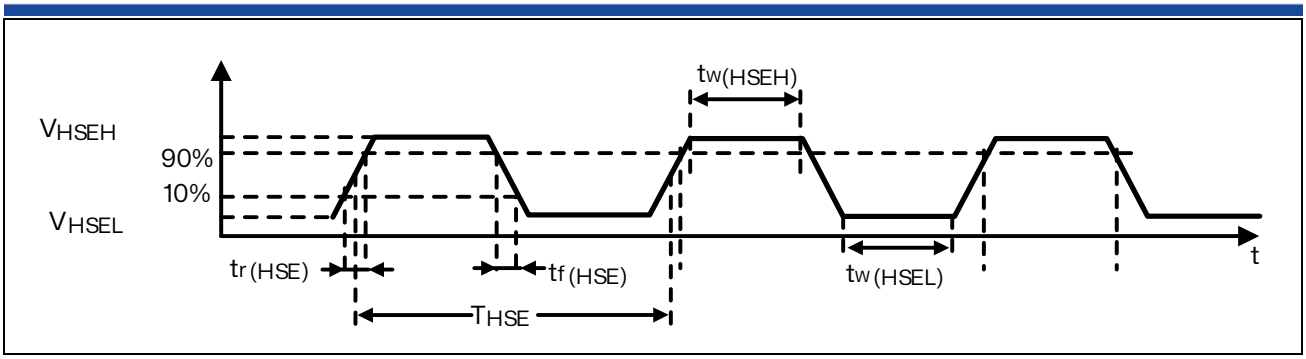


图 5.5 高速外部时钟源 AC 时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 16~24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。

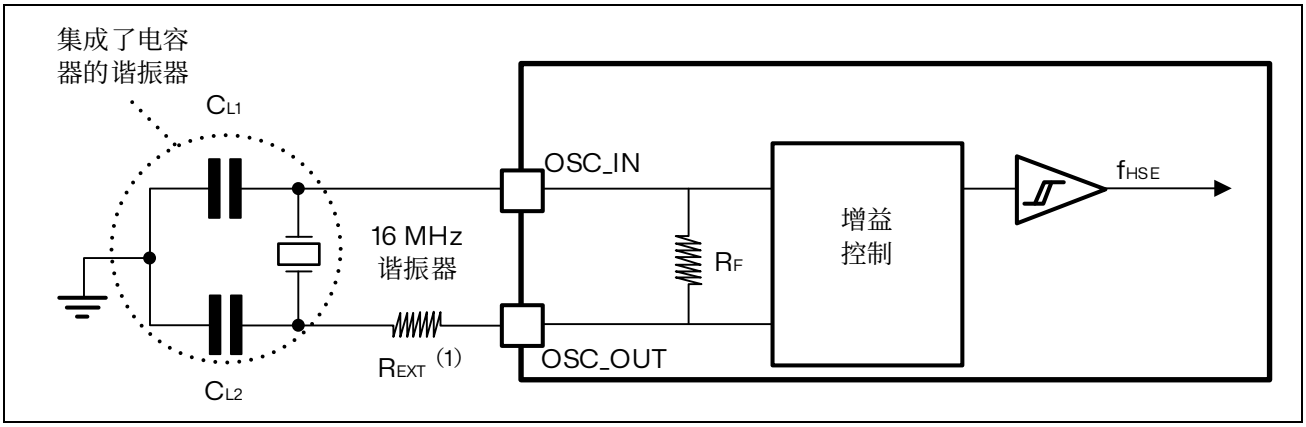
在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表 5.12 HSE 振荡器特性[1]

符号	参数	条件[2]	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	16	16	24	MHz
R_F	反馈电阻	-	-	1	-	MΩ
$I_{DD(HSE)}$	HSE 电流消耗	24MHz	-	1.43	-	mA
G_m	最大临界晶体跨导	启动	28.58	40.7	55.96	mA/V
$t_{SU(HSE)}$ [3]	启动时间	V_{DD} 稳定	-	1	-	ms

1. 由设计保证。
2. 晶体/陶瓷谐振器制造商提供的谐振器特性。
3. $t_{SU(HSE)}$是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 16MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

对于 C_{L1} 和 C_{L2}，建议使用高质量的、为高频应用而设计的（典型值为）5pF~20pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB 和 MCU 引脚的容抗应该考虑在内（可以粗略地把引脚与 PCB 板的电容按 10pF 估计）。



1. R_{EXT} 数值由晶体的特性决定

图 5.6 使用 16MHz 晶体的典型应用

5.3.7 内部时钟源特性

下表中给出的参数依据表 5.4：通用工作条件中总结的环境温度和供电电压条件下进行的测试。

表 5.13 高速内部振荡器（HSI16）特性[1]

符号	参数	条件		最小值	典型值	最大值	单位
f_{HSI16}	HSI16 频率	-		-	16	-	MHz
DuCy(HSI16)	占空比	-		45	50	55	%
ACC(HSI16)	HSI16 振荡器的精度	工厂校准[3][4]	T_A= -40 ~ 125°C V_{DDA}= 2.5 ~ 3.6V	-	16	-	MHz
t_{su}(HSI16)[2]	HSI16 振荡器起振时间	-		-	-	1.2	µs
t_{stab}(HSI16)[2]	HSI16 振荡器稳定时间	-		-	-	5	µs
I_{DD}(HSI16)[3]	HSI16 振荡器功耗	-		-	-	200	µA

1. V_{DD} = 3.3 V，T_A = -40 到 125°C，除非特别说明。
2. 由设计保证。
3. 由综合评估保证。
4. HSI16 振荡器的实际频率可能会受到回流焊的影响，但不会偏离指定的范围。

表 5.14 低速内部振荡器（LSI）特性[1]

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	LSI 频率	-	-	32	-	kHz
DuCy(LSI)	占空比	-	45	50	55	%
t_{su}(LSI)[2]	LSI 振荡器起振时间	-	-	-	130	µs
t_{stab}(LSI)[2]	LSI 振荡器稳定时间	-	-	-	180	µs
I_{DD}(LSI)[3]	LSI 振荡器功耗	-	-	-	2	µA

1. V_{DD} = 3.3 V，T_A = -40 到 125°C，除非特别说明。
2. 由设计保证。
3. 由综合评估保证。

从低功耗模式唤醒时间

下表的唤醒时间是在使用 HSI16 作为时钟源的情况下进行测量的。实际应用中，芯片被唤醒后的时钟源与当前运行模式有关：

睡眠模式：时钟源保持与进入睡眠模式前一致。

停止或待机模式：时钟源是 HSI16。

表 5.15 低功耗模式的唤醒时间[1]

符号	描述		典型值[3]	单位
$t_{WUSLEEP}$[1]	从睡眠模式唤醒		688	ns
t_{WUST}[1]	从停机模式唤醒	停机模式 0	43	µs
		停机模式 1	93	
$t_{WUSTDBY}$[1]	从待机模式唤醒		1047	µs

1. 系统时钟为 HSI16
2. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。
3. 由综合评估得出

5.3.8 PLL 特性

下表中给出的参数依据表 5.4：通用工作条件中总结的环境温度和供电电压条件下进行的测试。

表 5.16 PLL 特性[1][4]

符号	参数	条件	最小值[1]	典型值	最大值[1]	单位
f_{PLL_IN}	PLL 输入时钟[3]	-	-	16	-	MHz
	PLL 输入时钟占空比	-	45	50	55	%
$f_{PLL_P_OUT}$	PLL 倍频输出时钟 P	-	3.0968	-	192	MHz
$f_{PLL_Q_OUT}$	PLL 倍频输出时钟 Q		12	-	192	
$f_{PLL_R_OUT}$	PLL 倍频输出时钟 R		12	-	192	
f_{VCO_OUT}	PLL VCO 输出		96	-	400	
t_{LOCK}(PLL)[2]	PLL 锁定时间	-	-	-	40	µs
t_{SU}(PLL)[2]	PLL 启动时间	-	-	-	90	µs
t_{STAB}(PLL)[2]	PLL 稳定时间	-	-	-	50	µs
Jitter	RMS 逐周期抖动	-	-	±28.6	-	ps
	RMS 周期抖动		-	±21.4	-	
I_{DD}(PLL)[3]	V_{DD} 下 PLL 功耗[1]	f_{VCO} = 400MHz	-	-	650	µA

1. V_{DD} = 3.3 V，T_A = -40 到 125°C，除非特别说明。
2. 由设计保证。
3. 由综合评估保证。
4. 使用适当的乘数因子，使 PLL 输入时钟值与 f_{PLL_IN} 所定义的范围兼容。

5.3.9 存储器特性

表 5.17 闪存存储器特性[1]

符号	参数	条件	典型值	最大值[1]	单位
t_{prog}	一个字节编程时间	T_A = –40 ~ 125°C	-	10	µs
t_{ERASE}	扇区擦除时间	T_A = –40 ~ 125 °C	-	4	ms
	芯片擦除时间	T_A = –40 ~ 125 °C	-	10	
I_{DD}	供电电流	读模式 25MHz V_{DD} = 1.45 ~ 1.65V	-	8.6	mA
		写/擦除模式 V_{DD} = 1.45 ~ 1.65V	-	3/1.5	
		空闲模式	90	-	µA
		睡眠模式	0.2	-	

1. 由设计保证。

表 5.18 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值[1]	单位
N_{END}	寿命（擦写次数）	T_A = –40 ~ 125 °C	100	千次
t_{RET}	数据保存期限	T_A = –40 ~ 125 °C	10	年

1. 由特性结果保证。

5.3.10 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能 EMS（电磁敏感性）

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 2 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- **静电放电（ESD）**（正放电和负放电）施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC 61000-4-2 标准。
- **FTB：**在 VDD 和 VSS 上通过一个 100pF 的电容施加一个瞬变电压的脉冲群（正向和反向）直到产生功能性错误。这个测试符合 IEC 61000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果如下表所示。

表 5.19 EMS 特性

符号	参数	条件	级别/类型
V_{FESD}	施加到任意 I/O 脚， 从而导致功能错误的电压极限。	V_{DD} = 3.3V，T_A = +25 °C， f_{HCLK} = 192MHz。符合 IEC 61000-4-2	4A
V_{EFTB}	在 V_{DD} 和 V_{SS} 上通过 100pF 的电容施加的、 导致功能错误的瞬变脉冲群电压极限。	V_{DD} = 3.3V，T_A = +25 °C， f_{HCLK} = 192MHz。符合 IEC 61000-4-4	5A

设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 程序计数器损坏被破坏的程序计数器
- 意外复位
- 关键数据损坏（控制寄存器等.....）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工地在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

为了完成这些试验，可以在规定值范围内直接将 ESD 应力施加到设备上。当检测到异常行为时，可以对软件进行加固，以防止出现不可恢复的错误。

电磁干扰（EMI）

在运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），监测芯片发射的电磁场。这个发射测试符合 SAE-J1752-3 标准，这个标准规定了测试板和引脚的负载。

表 5.20 EMI 特性

符号	参数	条件	监测频段	最大值 [f_{HSE}/f_{HCLK}] 16 MHz / 192 MHz	单位
S_{EMI}	峰值	V_{DD} = 3.3V，T_A = 25 °C，LQFP80 封装，符合 SAE-J1752-3	0.1 MHz 至 30 MHz	2	dBμV
			30 MHz 至 130 MHz	13	
			130 MHz 至 1 GHz	10	
			EMI 级别	M10g	-

5.3.11 电气敏感性

基于三个不同的测试（ESD，LU），使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电（ESD）

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关（3 片 x (n+1)供电引脚）。这个测试符合 ANSI/JEDEC 标准。

表 5.21 ESD 绝对最大值

符号	参数	条件	类型	最大值(1)	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	T_A = +25 °C，符合 JEDEC EIA/ JESD22-A114	3A	6000	V
$V_{ESD(CDM)}$	静电放电电压（充电设备模型）	T_A = +25 °C，符合 JESD22-C101	-	1200	

1. 由特性结果保证。

静态闩锁效应

为了评估闩锁性能，需要在 3 个样品上进行 2 个互补的静态闩锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这些测试符合 EIA/JESD 78E 集成电路闩锁标准。

表 5.22 电气敏感性

符号	参数	条件	最大值	单位
LU	静态闩锁类	T_A = +25 °C，符合 JESD78E	200	mA

5.3.12 I/O 电流注入特性

一般来说，在正常产品操作过程中，应避免向 I/O 引脚注入电流，因为外部电压低于 V_{SS} 或高于 V_{DD}（对于标准 3.3V 兼容的 I/O 引脚）。然而，为了表明在异常注入意外发生时微控制器的稳健性，在设备特性化过程中会对样本进行敏感性测试。

I/O 电流注入的功能敏感性

在设备上执行简单应用程序时，通过向设置为浮空输入模式的 I/O 引脚注入电流来使设备承受压力。在向 I/O 引脚逐个注入电流时，检查设备是否出现功能故障。

故障由超出范围的参数指示：ADC 误差超过一定限制（高于 5LSB TUE），相邻引脚上的感应泄漏电流超出常规限制（超出-5 μA/+0 μA 范围）或其他功能故障（例如复位发生或振荡器频率偏差）。

特性化结果如下表所示。

负感应泄漏电流由负向注入引起，正感应泄漏电流由正向注入引起。

表 5.23 IO 电流注入敏感性

符号	描述		功能敏感性		单位
			负注入	正注入	
I_{INJ}(1)	引脚上的注入电流	FT_a	-	0.5	mA
		FT_af	-	0.5	
		FT_h	-	0.5	
		WKUP_IO	-	N/A	

1. 设计保证

5.3.13 I/O 端口特性

通用输入/输出特性

除非特别说明，下表参数均按照表 5.4 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL。

表 5.24 IO 静态特性

符号	参数	条件		最小值	典型值	最大值	单位
V_{IL}	I/O 输入低电平	-		-	$0.403\times V_{DD}-0.49$	-	V
V_{IH}	I/O 输入高电平	-		-	$0.471\times V_{DD}+0.1275$	-	
V_{hys}	标准 I/O 施密特触发器电压迟滞(1)	V_{DD} = 3.3V		-	200	-	mV
I_{leak}	输入漏电流	FT_a	$0V<V_{IN}<V_{DD}$	-	-	5	nA
			$V_{DD}<V_{IN}<5V$	-	-	90	
		FT_af	$0V<V_{IN}<V_{DD}$	-	-	5	
			$V_{DD}<V_{IN}<5V$	-	-	50	
		FT_h	$0V<V_{IN}<V_{DD}$	-	-	5	
			$V_{DD}<V_{IN}<5V$	-	-	15	
		WKUP_IO	$0V<V_{IN}<V_{DD}$	-	-	5	
			$V_{DD}<V_{IN}<5V$	-	-	10	
R_{PU}	弱上拉等效电阻(2)	$V_{IN} = V_{SS}$		30	40	50	kΩ
R_{PD}	弱下拉等效电阻(2)	$V_{IN} = V_{DD}$		30	45	55	
C_{IO}	I/O 引脚的电容	-		-	5	-	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMOS/NMOS 开关的电阻很小（约占 10%）。

输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达±8mA 电流，并且吸收+20mA 电流（不严格的 V_{OL}）。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}（参见表 5.1）。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}（参见表 5.1）。

输出电压电平

除非另有说明，下表中给出的参数依据表 5.4：通用工作条件中总结的环境温度和供电电压条件下进行的测试。所有 I/O 均符合 CMOS 和 TTL 标准（除非另有说明，否则为 FT）。

表 5.25 输出电压特性(1) (2)

符号	参数	条件	最小值	最大值	单位
V_{OL}(3)	单个 I/O 输出低电平电压	V_{DD} = 2.5V，I_{IO} = 8mA	-	0.3	V
V_{OH}(3)	单个 I/O 输出高电平电压		-	V_{DD}-0.3	
V_{OL}(3)	单个 I/O 输出低电平电压	V_{DD} = 3.3V，I_{IO} = 8mA	-	0.2	
V_{OH}(3)	单个 I/O 输出高电平电压		-	V_{DD}-0.2	
V_{OL}(3)	单个 I/O 输出低电平电压	V_{DD} = 2.5V，I_{IO} = 20mA	-	0.6	
V_{OH}(3)	单个 I/O 输出高电平电压		-	V_{DD}-0.6	
V_{OL}(3)	单个 I/O 输出低电平电压	V_{DD} = 3.3V，I_{IO} = 20mA	-	0.5	
V_{OH}(3)	单个 I/O 输出高电平电压		-	V_{DD}-0.5	

1. 芯片吸收的电流 I_{IO} 必须始终遵循电流特性表中给出的绝对最大额定值。设备输出或吸收的 I_{IO} 电流必须始终遵守表 5.4 中规定的绝对最大额定值：电压特性，并且所有 I/O（I/O 端口和控制引脚）输出或吸收的电流之和必须始终遵守绝对最大额定值 ΣI_{IO}。
2. TTL 和 CMOS 输出与 JEDEC 标准 JESD36 和 JESD52 兼容。
3. 由设计保证。

输入/输出交流特性

输入/输出交流特性的定义和数值分别如下图和下表所示。

除非另有说明，下表中给出的参数依据表 5.4：通用工作条件中总结的环境温度和供电电压条件下进行的测试。

表 5.26 IO 交流特性 FT_h(1)(2)

速度	符号	参数	条件	最小值	最大值	单位
00	Fmax	最大频率	C=50 pF，2.7V≤V_{DD}≤3.6V	-	5	MHz
			C=50 pF，2V≤V_{DD}≤2.7V	-	1	
			C=10 pF，2.7V≤V_{DD}≤3.6V	-	10	
			C=10 pF，2V≤V_{DD}≤2.7V	-	1.5	
	Tr/Tf	输出上升/下降的时间	C=50 pF，2.7V≤V_{DD}≤3.6V	-	7	ns
			C=50 pF，2V≤V_{DD}≤2.7V	-	9	
			C=10 pF，2.7V≤V_{DD}≤3.6V	-	2	
			C=10 pF，2V≤V_{DD}≤2.7V	-	3	
01	Fmax	最大频率	C=50 pF，2.7V≤V_{DD}≤3.6V	-	25	MHz

速度	符号	参数	条件	最小值	最大值	单位
			C=50 pF，2V≤V_{DD}≤2.7V	-	10	
			C=10 pF，2.7V≤V_{DD}≤3.6V	-	50	
			C=10 pF，2V≤V_{DD}≤2.7V	-	15	
	Tr/Tf	输出上升/下降的时间	C=50 pF，2.7V≤V_{DD}≤3.6V	-	7	ns
			C=50 pF，2V≤V_{DD}≤2.7V	-	9	
			C=10 pF，2.7V≤V_{DD}≤3.6V	-	2	
			C=10 pF，2V≤V_{DD}≤2.7V	-	3	
10	Fmax	最大频率	C=50 pF，2.7V≤V_{DD}≤3.6V	-	50	MHz
			C=50 pF，2V≤V_{DD}≤2.7V	-	25	
			C=10 pF，2.7V≤V_{DD}≤3.6V	-	100(3)	
			C=10 pF，2V≤V_{DD}≤2.7V	-	37.5	
	Tr/Tf	输出上升/下降的时间	C=50 pF，2.7V≤V_{DD}≤3.6V	-	7	ns
			C=50 pF，2V≤V_{DD}≤2.7V	-	9	
			C=10 pF，2.7V≤V_{DD}≤3.6V	-	2	
			C=10 pF，2V≤V_{DD}≤2.7V	-	3	
11	Fmax	最大频率	C=30 pF，2.7V≤V_{DD}≤3.6V	-	110(3)	MHz
			C=30 pF，2V≤V_{DD}≤2.7V	-	50	
			C=10 pF，2.7V≤V_{DD}≤3.6V	-	200(3)	
			C=10 pF，2V≤V_{DD}≤2.7V	-	75	
	Tr/Tf	输出上升/下降的时间(4)	C=30 pF，2.7V≤V_{DD}≤3.6V	-	4	ns
			C=30 pF，2V≤V_{DD}≤2.7V	-	6	
			C=10 pF，2.7V≤V_{DD}≤3.6V	-	2	
			C=10 pF，2V≤V_{DD}≤2.7V	-	3	

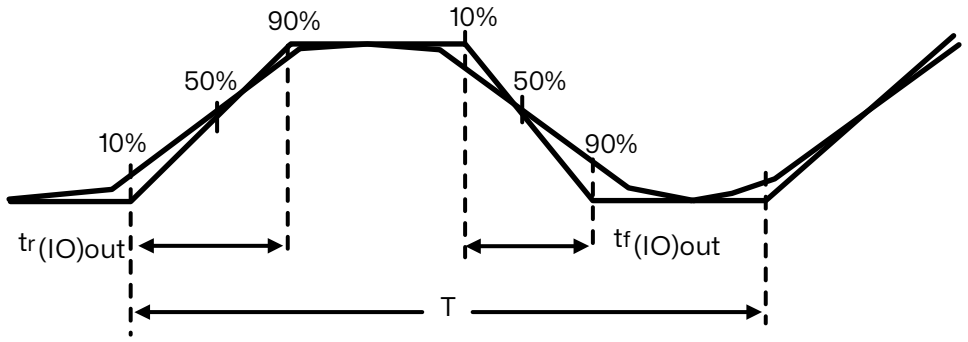
1. I/O 速度是通过 OSPEEDRy[1:0]位进行配置的。有关 GPIO 端口配置寄存器的描述，请参阅参考手册 RX32G410_Reference_Manual。
2. 由设计保证。
3. 此值表示 I/O 能力，但系统的最大频率为 192 MHz。
4. 根据 I2C 规范，下降时间定义为输出波形从 70%下降到 30%的时间。

表 5.27 IO 交流特性 FT_a(1)(2)

速度	符号	参数	条件	最小值	最大值	单位
00	Fmax	最大频率	C=50pF，2.7V≤V_{DD}≤3.6V	-	5	MHz
			C=50pF，2V≤V_{DD}≤2.7V	-	1	
			C=10pF，2.7V≤V_{DD}≤3.6V	-	10	
			C=10pF，2V≤V_{DD}≤2.7V	-	1.5	
	Tr/Tf	输出上升/下降的时间	C=50pF，2.7V≤V_{DD}≤3.6V	-	7	ns
			C=50pF，2V≤V_{DD}≤2.7V	-	20	
			C=10pF，2.7V≤V_{DD}≤3.6V	-	3	
			C=10pF，2V≤V_{DD}≤2.7V	-	4	
01	Fmax	最大频率	C=50pF，2.7V≤V_{DD}≤3.6V	-	10	MHz
			C=50pF，2V≤V_{DD}≤2.7V	-	5	
			C=10pF，2.7V≤V_{DD}≤3.6V	-	25	
			C=10pF，2V≤V_{DD}≤2.7V	-	10	

速度	符号	参数	条件	最小值	最大值	单位
	Tr/Tf	输出上升/下降的时间	C=50pF，2.7V≤V_{DD}≤3.6V	-	8	ns
			C=50pF，2V≤V_{DD}≤2.7V	-	10	
			C=10pF，2.7V≤V_{DD}≤3.6V	-	3	
			C=10pF，2V≤V_{DD}≤2.7V	-	4	
10	Fmax	最大频率	C=50pF，2.7V≤V_{DD}≤3.6V	-	20	MHz
			C=50pF，2V≤V_{DD}≤2.7V	-	10	
			C=10pF，2.7V≤V_{DD}≤3.6V	-	35	
			C=10pF，2V≤V_{DD}≤2.7V	-	20	
	Tr/Tf	输出上升/下降的时间	C=50pF，2.7V≤V_{DD}≤3.6V	-	7	ns
			C=50pF，2V≤V_{DD}≤2.7V	-	10	
			C=10pF，2.7V≤V_{DD}≤3.6V	-	3	
			C=10pF，2V≤V_{DD}≤2.7V	-	4	
11	Fmax	最大频率	C=30pF，2.7V≤V_{DD}≤3.6V	-	30	MHz
			C=30pF，2V≤V_{DD}≤2.7V	-	20	
			C=10pF，2.7V≤V_{DD}≤3.6V	-	50	
			C=10pF，2V≤V_{DD}≤2.7V	-	35	
	Tr/Tf	输出上升/下降的时间	C=30pF，2.7V≤V_{DD}≤3.6V	-	5	ns
			C=30pF，2V≤V_{DD}≤2.7V	-	7	
			C=10pF，2.7V≤V_{DD}≤3.6V	-	3	
			C=10pF，2V≤V_{DD}≤2.7V	-	3	

1. I/O 速度是通过 OSPEEDRy[1:0]位进行配置的。有关 GPIO 端口配置寄存器的描述，请参阅参考手册 RX32G410_Reference_Manual。
2. 由设计保证。



如果(t_r+t_f)≤ 2/3)T，并且占空比时（45~55%）
当负载为特定电容值时，达到最大的频率。

图 5.7 输入输出交流特性定义[1]

1. 请参考 IO 交流特性表格。

5.3.14 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻 R_{PU}。

除非另有说明，下表中给出的参数依据表 5.4：通用工作条件中总结的环境温度和供电电压条件下进行的测试。

表 5.28 NRST 引脚特性[1]

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-	-	-	0.8	V
$V_{IH(NRST)}$	NRST 输入高电平电压	-	2	-	-	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	V_{DD} = 3.3V	-	260	-	mV
R_{PU}	弱上拉等效电阻[2]	$V_{IN} = V_{SS}$	30	40	50	kΩ
$V_{F(NRST)}$	NRST 输入滤波脉冲	V_{DD} = 3.3V	-	-	300	ns
$V_{NF\ (NRST)}$	NRST 输入非滤波脉冲	V_{DD} = 3.3V	480	-	-	

1. 由设计保证。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS 开关的电阻很小（约占 10%）。

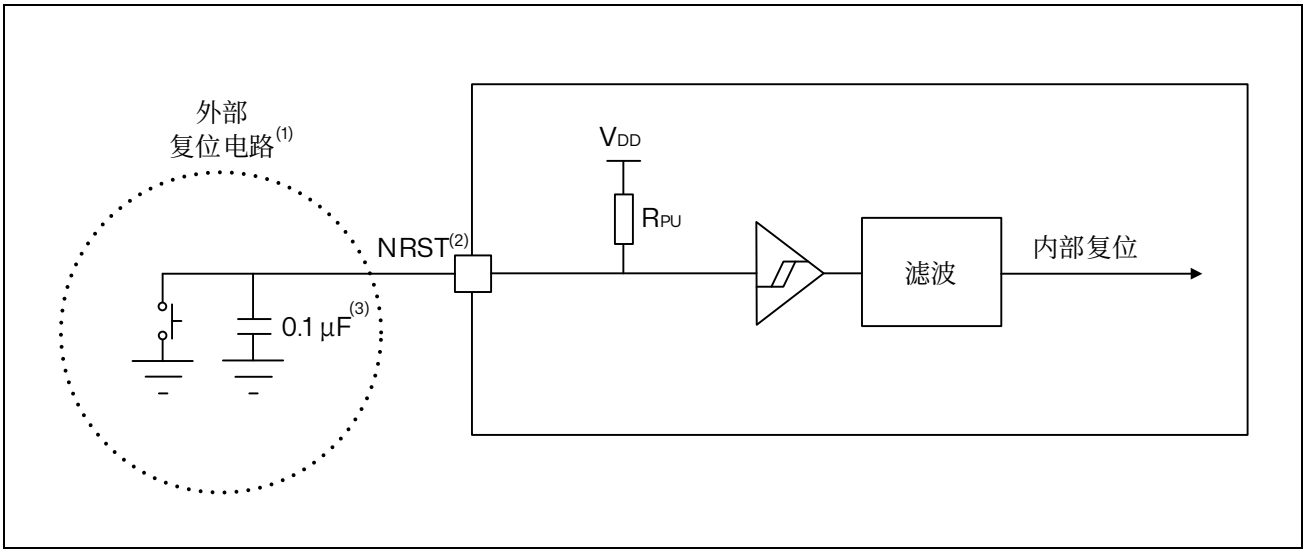


图 5.8 建议的的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于 NRST 引脚特性中列出的最大 $V_{IL(NRST)}$以下，否则 MCU 不能得到复位。
3. NRST 引脚的外部电容器必须尽可能的靠近设备。

5.3.15 高分辨率定时器（HRTIM）

下表中给出的参数依据表 5.4：通用工作条件中总结的环境温度和供电电压条件下进行的测试。

表 5.29 HRTIM 特性[1]

符号	参数	条件	最小值	典型值	最大值	单位
T_A	定时器环境温度范围	f_{HRTIM} = 192 MHz	-40	-	125	°C
f_{HRTIM}	用于 DLL 校准的 HRTIM 输入时钟	根据 T_A 的条件	-	-	192	MHz
t_{HRTIM}			5.21	-	-	ns
$t_{RES(HRTIM)}$	高分辨率步长	f_{HRTIM} = 192 MHz, T_A 从-40 至 105°C	-	163	-	ps
Res_{HRTIM}	定时器分辨率	-	-	-	16	bit
t_{DTG}	死区时间发生器时钟周期	-	0.125	-	16	t_{HRTIM}
		f_{HRTIM} = 192 MHz	0.651	-	83.3	ns
$\lvert t_{DTR}\rvert$ / $\lvert t_{DTF}\rvert$ max	死区时间范围（绝对值）	-	-	-	511	t_{DTG}
		f_{HRTIM} = 192 MHz	-	-	42.59	µs
f_{CHPFRQ}	斩波器级时钟频率	-	1/256	-	1/16	f_{HRTIM}
		f_{HRTIM} = 192 MHz	0.75	-	12	MHz
t_{1STPW}	斩波器首个脉冲长度	-	16	-	256	t_{HRTIM}
		f_{HRTIM} = 192 MHz	0.083	-	1.33	µs

1. 由特性数据得出，不在生产中测试。

表 5.30 HRTIM 对故障保护的输出响应[1]

符号	参数	条件	最小值	典型值	最大值[2]	单位
$t_{LAT(DF)}$	数字故障响应延迟	从 HRTIM1_FLTx 数字输入到 HRTIM_CHxy 输出引脚的传播延迟	-	25	40	ns
$t_{W(FLT)}$	最小故障脉冲宽度	-	7	-	-	
$t_{LAT(AF)}$	模拟故障响应延迟	从比较器 COMPx_INP 输入引脚到 HRTIM_CHxy 输出引脚的传播延迟	-	73	90	

1. 请参考《RX32G410 Reference Manual》中 HRTIM 部分的“故障”段落。
2. 由特性数据得出，不在生产中测试。

表 5.31 HRTIM 对外部事件 1 至 5 的输出响应（低延迟模式[1]）

符号	参数	条件	最小值	典型值	最大值[2]	单位
$t_{LAT(DEEV)}$	数字外部事件响应延迟	从 HRTIM1_EEVx 数字输入到 HRTIM_CHxy 输出引脚（30pF 负载）的传播延迟	-	11	22	ns

符号	参数	条件	最小值	典型值	最大值(2)	单位
$t_{W(EEV)}$	最小外部事件脉冲宽度	-	7	-	-	
$t_{LAT(AEEV)}$	模拟外部事件响应延迟	从比较器 COMPx_INP 输入引脚到 HRTIM_CHxy 输出引脚（30pF 负载）的传播延迟	-	60	72	

1. HRTIM_EECR1 寄存器中的 EExFAST 位已设置（低延迟模式）。此功能在外部事件通道 1 至 5 上可用。请参考《RX32G410 Reference Manual》中 HRTIM 部分的“故障”段落。
2. 由特性数据得出，不在生产中测试。

表 5.32 HRTIM 对外部事件 1 至 10 的输出响应（同步模式(1)）

符号	参数	条件	最小值	典型值	最大值(2)	单位
$t_{LAT(DEEV)}$	数字外部事件响应延迟	从 HRTIM1_EEVx 数字输入到 HRTIM_CHxy 输出引脚（30pF 负载）的传播延迟(3)	-	46	60	ns
$t_{LAT(AEEV)}$	模拟外部事件响应延迟	从比较器 COMPx_INP 输入引脚到 HRTIM_CHxy 输出引脚（30pF 负载）的传播延迟(3)	-	95	105	ns
$t_{W(EEV)}$	最小外部事件脉冲宽度	-	7	-	-	ns
$t_{JIT(EEV)}$	外部事件响应抖动	从 HRTIM1_EEVx 数字输入或 COMPx_INP 到 HRTIM_CHxy 输出引脚的延迟抖动	-	-	1	t_{HRTIM} (4)

1. HRTIM_EECR1 中的 EExFAST 位已清除（同步模式）。外部事件过滤已禁用，即 HRTIM_EECR3 寄存器中的 EExF[3:0]=0000。请参考《RX32G410 Reference Manual》中 HRTIM 部分的“故障”段落。
2. 由特性数据得出，不在生产中测试。
3. 此参数是在 f_{HRTIM} = 192 MHz 时给出的。
4. T_{HRTIM} = 1 / f_{HRTIM}，其中 f_{HRTIM} = 192 MHz。

表 5.33 HRTIM 同步输入/输出（同步模式(1)）

符号	参数	条件	最小值	典型值	最大值	单位
$t_{W(SYNCIN)}$	SYNCIN 输入上的最小脉冲宽度（包括 HRTIM_SCIN）	-	2	-	-	t_{HRTIM}
$t_{RES(ESR)}$	对外部同步请求的响应事件	-	-	-	3	t_{HRTIM}
$t_{W(SYNCOUT)}$	HRTIM_SCOUT 输出上的脉冲宽度	-	-	16	-	t_{HRTIM}
		f_{HRTIM} = 192 MHz	-	83.3	-	ns

1. 由设计保证，未在生产中测试。

5.3.16 ADC 特性

除非另有说明，下表中给出的参数依据表 5.4：通用工作条件中总结的环境温度、f_{PCLK} 和 V_{DDA} 供电电压条件下进行的测试。

注意：建议在每次上电后进行校准。

表 5.34 ADC 特性[1][2]

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.5	3.3	3.6	V
V_{REF+}	正参考电压	-	2	-	V_{DDA}	V
f_{ADC}	ADC 时钟频率	-		64		MHz
f_{TRIG}	外部触发频率	f_{ADC} = 64MHz	-	-	-	KHz
		-	-	16	-	$1/f_{ADC}$
V_{IN_ADC}	转换电压范围	-	0	-	V_{REF+}	V
R_{IN}	外部输入阻抗	-	-	0.1	1	KΩ
R_{ADC}	采样开关电阻	-	-	-	8	KΩ
C_{ADC}	内部采样和保持电容	-	-	5	-	pF
t_{CAL}[2]	校准时间	f_{ADC} = 64MHz		1.28		μs
		-		82		$1/f_{ADC}$
$t_{LATRINJ}$[2]	注入触发转换时延	f_{ADC} = 64MHz	-	-	47	ns
		-	-	-	3[3]	$1/f_{ADC}$
t_{LATR}[2]	常规触发转换时延	f_{ADC} = 64MHz	-	-	31	ns
		-	-	-	2[3]	$1/f_{ADC}$
t_S[2]	ADC 采样时间	f_{ADC} = 64MHz	54.7	-	10007.8	ns
		-	3.5	-	640.5	$1/f_{ADC}$
f_S[2]	ADC 采样速率 $t_s + 12.5\times(1/f_{ADC})$	-	-	2	4	MSPS
t_{EN}	ADC 上电时间	-	-	-	2	μs
t_{CONV}[2]	总的转换时间（包括采样时间）	f_{ADC} = 64MHz	0.25	-	10.20	μs
			16~653($t_S + 12.5\times(1/f_{ADC})$)			$1/f_{ADC}$

1. 由综合评估得出，不在生产中测试。
2. 由设计保证。
3. 对于外部触发，必须在上表列出的时延中加上一个延迟 $1/f_{PCLK}$。

表 5.35 f_{ADC} = 64MHz 时最大 ADC R_{AIN}[1]

分辨率	采样周期 @64MHz	采样时间 [ns]	最大 R_{AIN}(Ω)		电容
			快速通道[2]	慢速通道[3]	
12 位	3.5	54.7	100	-	10pF
	7.5	117.2	400	420	
	11.5	179.7	950	1000	
	13.5	210.9	1400	1600	
	28.5	445.3	2200	2400	
	55.5	867.2	3000	3200	

分辨率	采样周期 @64MHz	采样时间 [ns]	最大 $R_{AIN}(\Omega)$		电容
			快速通道(2)	慢速通道(3)	
	71.5	1117.2	5000	5200	
	640.5	10007.8	12000	12500	

1. 由设计保证。
2. 快速通道：ADCx_IN7 至 ADCx_IN12 以及 ADCx_IN0。
3. 慢速通道：除快速通道以外所有 ADC 输入通道。

表 5.36 ADC 精度-限制测试条件(1)(2)

符号	参数	条件		最小值	典型值	最大值(3)	单位
ET	综合偏差	V_{DDA} = 3.3V，T_A = 27 °C，输入电压≤ 3.25 V ADC 时钟频率≤ 64MHz 连续模式，采样率：快速通道：4Msps 慢速通道：2Msps	快通道（最大速度）	-	3	-	LSB
			慢通道（最大速度）	-	3	-	
EO	偏移误差		快通道（最大速度）	-	1.7	-	
			慢通道（最大速度）	-	1.5	-	
EG	增益误差		快通道（最大速度）	-	8.7	-	
			慢通道（最大速度）	-	7.3	-	
ED	微分线性误差		快通道（最大速度）	-	±1	±1.87	
			慢通道（最大速度）	-	±1	±1.56	
EL	积分线性误差		快通道（最大速度）	-	±2	±2.2	
			慢通道（最大速度）	-	±1.45	±2.47	

1. ADC 的直流精度数值是在经过内部校准后测量的。
2. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。
3. 由综合评估保证，不在生产中测试。

5.3.17 DAC 特性

表 5.37 DAC 特性(1)

符号	参数	条件		最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	-		2.5	3.3	3.6	V
V_{REF+}	正参考电压	-		2	-	V_{DDA}	
R_L	电阻负载	DAC 输出缓冲器打开	连接至 V_{SSA}	5	-	-	kΩ
			连接至 V_{DDA}	25	-	-	
R_O	输出阻抗	DAC 输出缓冲器关闭		-	12.26	-	kΩ
C_L	电容负载	-		-	-	50	pF
V_{DAC_OUT}	DAC_OUT 输出电压	DAC 输出缓冲器打开		0.3	-	V_{REF+} - 0.3	V
		DAC 输出缓冲器关闭		-	25 ×10^{-5}	V_{REF+} - 1LSB	V
$t_{SETTLING}$	设置时间（全范围：12 位输入代码从最小值转变为最大值，DAC_OUT 达到其终值的±1 LSB）	CL=50pF，RL=5 kΩ		-	3	5	μs

符号	参数	条件		最小值	典型值	最大值	单位
t_{WAKEUP}(2)	从关闭状态唤醒的时间（设置 DAC_CR 寄存器中的 ENx 位）	-		-	7.5	13	µs
PSRR	V_{DDA} 电源抑制比	DAC 输出缓冲器打开 CL ≤ 50pF，RL = 5kΩ，DC		-	76	-	dB
$T_{W_to_W}$	两次连续写入 DAC_DORx 寄存器之间的最短时间，以保证输入代码（1 LSB）的微小变化正确输出。	CL=50pF，RL=5 kΩ		-	1	2	µs
I_{DDA}(DAC)	V_{DDA} 下 DAC 功耗	DAC 输出缓冲器打开	无负载，中间代码（0x800）	1352	1522	1610	µA
			无负载，最差代码（0xF1C）	1235	1390	1460	
		DAC 输出缓冲器关闭	无负载，中间代码（0x800）	-	0.06	0.53	
I_{DDV}(DAC)	V_{REF+}下 DAC 功耗 V_{REF+} = 2.8V	DAC 输出缓冲器打开	无负载，中间代码（0x800）	157	181	212	µA
			无负载，最差代码（0xF1C）	76	87	103	
		DAC 输出缓冲器关闭	无负载，中间代码（0x800）	116	134	157	
	V_{REF+}下 DAC 功耗 V_{REF+} = 2.5V	DAC 输出缓冲器打开	无负载，中间代码（0x800）	119	137	160	µA
			无负载，最差代码（0xF1C）	57	66	78	
		DAC 输出缓冲器关闭	无负载，中间代码（0x800）	88	101	119	
	V_{REF+}下 DAC 功耗 V_{REF+} = 2.0V	DAC 输出缓冲器打开	无负载，中间代码（0x800）	95	110	128	µA
			无负载，最差代码（0xF1C）	46	53	62	
		DAC 输出缓冲器关闭	无负载，中间代码（0x800）	70	81	95	

1. 由设计保证。
2. 在缓冲模式下，对于低输入代码（从最小值开始），输出可能会超过最终值。

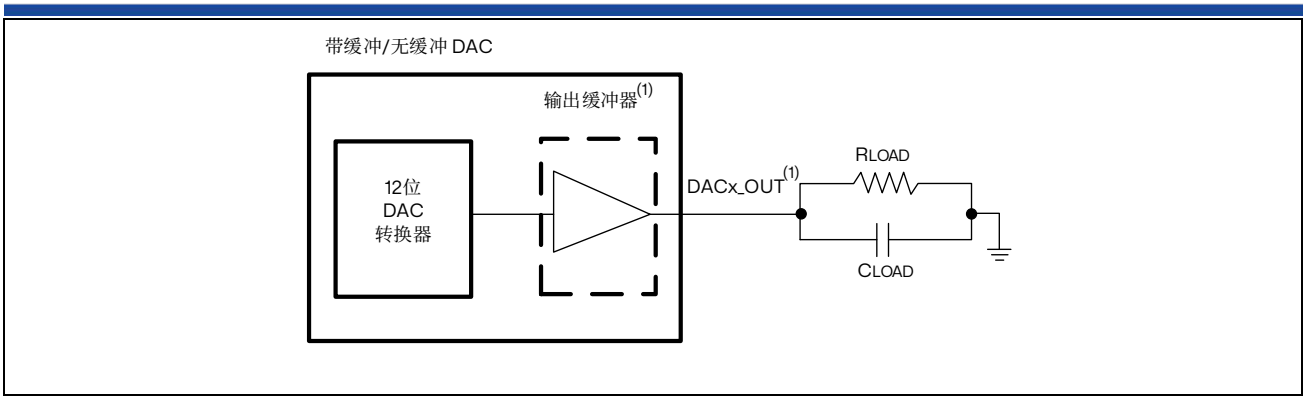


图 5.9 12 位带缓冲/无缓冲 DAC

1. DAC1_OUT1 和 OUT2 以及 DAC2_OUT1 集成缓冲器，以降低输出阻抗并直接驱动外部负载，而无需使用外部运算放大器。通过配置 DAC_CR 寄存器中的 BOFFx 位，可选择使能/禁止该缓冲器。

表 5.38 DAC 精度(1)

符号	参数	条件		最小值	典型值	最大值	单位
DNL	微分非线性(2)	DAC 输出缓冲器打开		-4	-	4	LSB
		DAC 输出缓冲器关闭		-4	-	4	
INL	积分非线性(3)	DAC 输出缓冲器打开		-6	-	6	
		DAC 输出缓冲器关闭		-6	-	6	
Offset	代码 0x800 偏移误差(3)	DAC 输出缓冲器打开，CL≤50pF，RL≥5kΩ	V_{REF+} = 3.6V	-	±8	±12	LSB
			V_{REF+} = 3.3V	-	±8	±12	
			V_{REF+} = 2.5V	-	±25	±25	
		DAC 输出缓冲器关闭 CL≤50pF，无 RL，V_{REF+} = 3.3V		-	±4	±8	
Offset1	代码 0x001 偏移误差(4)	DAC 输出缓冲器关闭 CL≤50pF，无 RL，V_{REF+} = 3.3V		-	100	600	μV
Gain	增益误差(5)	DAC 输出缓冲器打开 CL ≤ 50pF，RL ≥ 5kΩ		-	-	±0.5	%
		DAC 输出缓冲器关闭 CL ≤ 50pF，无 RL		-	-	±0.5	
TUE	未调整的总误差	DAC 输出缓冲器打开		-	-	±30	LSB
		DAC 输出缓冲器关闭		-	-	±12	
TUECal	校准后未调整的总误差	DAC 输出缓冲器打开		-	-	±23	LSB
SNR	信噪比	DAC 输出缓冲器打开		-	71.2	-	dB
		DAC 输出缓冲器关闭		-	71.6	-	
THD	总谐波失真	DAC 输出缓冲器打开		-	-78	-	dB
		DAC 输出缓冲器关闭		-	-79	-	
SINAD	信噪比和失真率	DAC 输出缓冲器打开		-	70.4	-	dB
		DAC 输出缓冲器关闭		-	71	-	
ENOB	有效位数	DAC 输出缓冲器打开		-	11.4	-	Bits
		DAC 输出缓冲器关闭		-	11.5	-	

1. 由设计保证。

2. 两个连续代码之间的差值为 1LSB。
3. 在代码 0 和代码 4095 之间绘制的直线上，代码 i 处的实测值和理论值之间的差异。
4. 代码（0x001）处的实测值和理论值之间的差异。
5. 缓冲器关闭时，传输函数的理论斜率与从代码 0x000 和 0xFFF 计算出的实测斜率之间的差异；缓冲器开启时，则从输出 0.3V 和(V_{REF+} - 0.3)V 的代码处计算出的差异。

5.3.18 VREFBUF 特性

表 5.39 VREFBUF 特性[1]

符号	参数	条件		最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	正常模式	VRS=00	2.4	-	3.6	V
			VRS=01	2.8	-	3.6	
			VRS=10	3.1	-	3.6	
V_{REFBUF_OUT}	电压参考输出	正常模式[2]	VRS=00	-	2.0	-	
			VRS=01	-	2.5	-	
			VRS=10	-	2.8	-	
TRIM	校正步长分辨率	-		-	±0.15	±0.19	%
CL	负载电容	-		0.5	1	4.7	µF
esr	负载电容的等效串联电阻	-		-	-	3	Ω
I_{load}	静态负载电流	-		-	-	6.5	mA
I_{line_reg}[3]	线性调节	-		-	1000	2000	ppm/V
I_{load_reg}	负载调节	500µA≤ I_{load}≤4mA	正常模式	-	50	500	ppm/mA
T_{Coeff}	温度系数	-40°C < T_J < +125°C		-	-	80	ppm/°C
PSRR	电源抑制比	DC		55	58	-	dB
		100 kHz		32	34	-	
t_{START}	启动时间	CL = 0.5µF[4]		-	91	115	µs
		CL = 1µF[4]		-	125	184	
		CL = 4.7µF[4]		-	201	301	
I_{INRUSH}	在启动阶段控制 VREFBUF_OUT 上的最大直流电流驱动[5]	-		-	9	-	mA
$I_{DDA(VREFBUF)}$	V_{DDA} 下 VREFBUF 功耗	I_{load} = 0µA		-	636	781	µA
		I_{load} = 312µA		-	551	664	
		I_{load} = 416µA		-	531	688	
		I_{load} = 2.83mA		-	415	488	

1. 除非另有说明，否则由设计保证。
2. 由特性结果保证。
3. 线性调整是在正常模式下针对整体供电变化给出的。
4. 为了滤除高频噪声，电容性负载必须包括一个 100 nF 的低 ESR 电容器。
5. 为了在启动阶段和缩放变化期间正确控制 VREFBUF 的涌入电流，当 VRS=0、1 和 2 时，VDDA 电压应分别在[2.4 V 至 3.6 V]、[2.8 V 至 3.6 V]和[3.1 V 至 3.6 V]范围内。

5.3.19 COMP 特性

表 5.40 COMP 特性[1]

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	-	2.5	3.3	3.6	V
V_{IN}	比较器输入电压范围	-	0	-	V_{DDA}	
V_{BG}[2]	缩放器输入电压	-	VREFINT			
V_{SC}[3]	缩放器偏置电压	-	0.95	1	1.05	
I_{DDA}(SCALER)	V_{DDA} 下缩放器功耗	包括 V_{REFINT} 和 1/2V_{REFINT} 以及 3/4V_{REFINT}	250	300	350	nA
t_{START_SCALER}	缩放器启动时间	-	-	50	100	µs
t_{START}	达到传播延迟规范的比较器启动时间	-	-	1	2	µs
t_D[4]	传播延迟（从 COMP 输入引脚到 COMP 输出引脚）	COMP 输出上升沿 RHYST[1:0] = 00	-	50	-	ns
		COMP 输出下降沿 FHYST[1:0] = 00	-	50	-	
V_{offset}[3]	比较器偏移误差	-	-5.5	-1	5.5	mV
$V_{hys(rise)}$	比较器上升迟滞	RHYST[1:0] = 00	-	0	-	mV
		RHYST[1:0] = 01	-	20	-	
		RHYST[1:0] = 10	-	40	-	
		RHYST[1:0] = 11	-	60	-	
$V_{hys(fall)}$	比较器下降迟滞	FHYST[1:0] = 00	-	0	-	
		FHYST[1:0] = 01	-	20	-	
		FHYST[1:0] = 10	-	40	-	
		FHYST[1:0] = 11	-	60	-	
I_{DDA}(COMP)	V_{DDA} 下比较器功耗	-	320	410	500	µA

1. 由设计保证。
2. 参考表格：内置的参考电压。
3. 由特性结果保证。
4. 典型值是所有比较器传播延迟的平均值。

5.3.20 OPAMP 特性

表 5.41 OPAMP 特性[1][2]

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	-	2.5	3.3	3.6	V
CMIR	共模输入范围	-	0	-	V_{DDA}	V
VI_{OFFSET}[3]	输入偏移误差	25°C，V_{DDA}=3.3V（校准后）	-	±2	-	mV
		全电压/温度范围（校准后）	-	-	±4	

符号	参数	条件	最小值	典型值	最大值	单位
ΔVI_{OFFSET}	输入偏移误差温漂	-	-	±10	-	μV/°C
TRIMOFFSETP	低共模输入电压偏移校准步长(0.1 x V_{DDA})	-	-	±1.6	-	mV
TRIMOFFSETN	高共模输入电压偏移校准步长(0.9 x V_{DDA})	-	-	±1.2	-	mV
I_{LOAD}	驱动电流	-	-	-	500	μA
I_{LOAD_PGA}	PGA 模式下驱动电流	-	-	-	270	μA
C_{LOAD}	负载电容	-	-	-	50	pF
CMRR	共模抑制比	-	-	60	-	dB
PSRR	电源抑制比	C_{LOAD} ≤ 50pf，R_{LOAD} ≥ 4kΩ DC V_{com} = V_{DDA}/2	-	80	-	dB
GBW	单位增益带宽	200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV	-	16	-	MHz
		100mV ≤ 输出动态范围 ≤ V_{DDA} - 100mV	-	10	-	MHz
SR(3)	压摆率（从输出电压的 10%到 90%）	正常模式	-	15	-	V/μs
		高速模式	-	42	-	V/μs
AO	开环增益	正常模式，C_{LOAD} = 50pF，V_{DDA} = 3.3V，V_{INP} = V_{DDA}/2	80	95	-	dB
		高速模式，C_{LOAD} = 50pF，V_{DDA} = 3.3V，V_{INP} = V_{DDA}/2	85	95	-	dB
		100mV ≤ 输出动态范围 ≤ V_{DDA} - 100mV	40	95	-	dB
		200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV	60	95	-	dB
V_{OHSAT}(3)	高饱和电压	I_{load} = max 或 R_{load}= min 输入为 V_{DDA}，跟随器模式	V_{DDA}-200	-	-	mV
V_{OLSAT}(3)	低饱和电压	I_{load} = max 或 R_{load}= min 输入为 0，跟随器模式	-	-	200	mV
ϕ_m	相位裕度	跟随器模式，V_{com} = V_{DDA}/2	-	65	-	°
GM	增益裕度	跟随器模式，V_{com} = V_{DDA}/2	-	5	-	dB
t_{WAKEUP}(3)	从关闭状态下唤醒的时间	正常模式：C_{LOAD} ≤ 50pf，R_{LOAD} ≥ 4kΩ，跟随器配置	-	180	-	μs
		高速模式：C_{LOAD}≤50pf，R_{LOAD}≥ 20kΩ，跟随器配置	-	150	-	μs
I_{bias}	OPAMP 输入偏置电流	请参阅表：I/O 静态特性中给定引脚的漏电流（I_{leak}）参数				
PGA gain	非反相增益	PGA 增益 = 4，200mV ≤	-1	-	1	%

符号	参数	条件	最小值	典型值	最大值	单位
	（带偏置电压）	输出动态范围 ≤ V_{DDA} - 200mV，输入> 50mV				
		PGA 增益 = 8，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV，输入> 50mV	-1	-	1	
		PGA 增益 =12，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV，输入> 50mV	-1	-	1	
		PGA 增益 = 16，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV，输入> 50mV	-1	-	1	
		PGA 增益 = 24，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV，输入> 50mV	-2	-	2	
		PGA 增益 = 32，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV，输入> 50mV	-2	-	2	
	反相增益（带偏置电压）	PGA 增益 = -4，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV	-1	-	1	%
		PGA 增益 = -8，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV	-1	-	1	
		PGA 增益 = -12，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV	-1	-	1	
		PGA 增益 = -16，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV	-1	-	1	
		PGA 增益 = -24，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV	-2	-	2	
		PGA 增益 = -32，200mV ≤ 输出动态范围 ≤ V_{DDA} - 200mV	-2	-	2	
$R_{network}$	非反相 PGA 模式中的 R2/R1 内阻值(4)	PGA 增益= 4	-	80/20	-	kΩ/kΩ
		PGA 增益= 8	-	160/20	-	
		PGA 增益= 12	-	240/20	-	
		PGA 增益= 16	-	320/20	-	
		PGA 增益= 24	-	480/20	-	

符号	参数	条件	最小值	典型值	最大值	单位
		PGA 增益= 32	-	640/20	-	
	反相 PGA 模式中的 R2/R1 内阻值(4)	PGA 增益= -4	-	80/20	-	kΩ/kΩ
		PGA 增益= -8	-	160/20	-	
		PGA 增益= -12	-	240/20	-	
		PGA 增益= -16	-	320/20	-	
		PGA 增益= -24	-	480/20	-	
		PGA 增益= -32	-	640/20	-	
Delta R	电阻变量（R1 或 R2）	-	-16	-	+16	%
PGA BW	不同非反相增益的 PGA 带宽	PGA 增益= 4	-	GBW/4	-	MHz
		PGA 增益= 8	-	GBW/8	-	
		PGA 增益= 12	-	GBW/12	-	
		PGA 增益= 16	-	GBW/16	-	
		PGA 增益= 24	-	GBW/24	-	
		PGA 增益= 32	-	GBW/32	-	
	不同反相增益的 PGA 带宽	PGA 增益= -4	-	80/20	-	MHz
		PGA 增益= -8	-	160/20	-	
		PGA 增益= -12	-	240/20	-	
		PGA 增益= -16	-	320/20	-	
		PGA 增益= -24	-	480/20	-	
		PGA 增益= -32	-	640/20	-	
eN	电压噪声密度	1kHz 时，输出带 4kΩ 负载	-	310	-	nV/√Hz
		10kHz 时，输出带 4kΩ 负载	-	120	-	
I_{DDA}(OPAMP)	V_{DDA} 下 OPAMP 功耗	正常模式，无负载，跟随器模式	-	1.3	1.8	mA
		高速模式，无负载，跟随器模式	-	1.5	2	
$T_{S_OPAMP_VOUT}$	TOINT_EN = 1 时读取 OPAMP 输出的 ADC 采样时间	-	54.69	-	-	ns
I_{DDA} (OPAMPINT)	TOINT_EN = 1 时 V_{DDA} 下 OPAMP 功耗	正常模式，无负载，跟随器模式	-	1.3	-	mA
		高速模式，无负载，跟随器模式	-	1.5	-	

1. 除非另有说明，否则由设计保证。
2. 除非另有说明，否则数据和参数在正常和高速模式下均得到保证。
3. 由特性结果保证。
4. R2 是 OPAMP 输出与 OPAMP 反向输入之间的内部电阻。R1 是 OPAMP 反向输入与地之间的内部电阻。

5.3.21 温度传感器特性

温度计算公式:

V_{TPS} = (-0.004420214) × 温度 + 1.261075866

表 5.42 TPS 特性

符号	参数	条件[1]	最小值	典型值	最大值	单位
T_L	V_{TPS} 和温度的线性关系	-	-	±1	±2	°C
Avg_Slope	平均斜率	-	-	4.4	-	mV/°C
V_{25}	在 25°C 时的电压	-	-	1.153	-	V
t_{START}[2]	启动时间	-	9	14	18	µs
t_{S_temp}[2][3]	读取温度时的 ADC 采样时间	-	-	10	-	µs

1. 除非另有说明，V_{DD} = 3.3V，T_A = -40 到 150°C。
2. 由设计保证。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.22 TIM 定时器特性

下表所列参数均经设计保证。

有关输入/输出复用功能特性（输出比较、输入捕获、外部时钟、PWM 输出）的详细信息，请参考章节：I/O 端口特性。

表 5.43 TIMx[1] 特性[2]

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 192 MHz	5.21	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}$ = 192 MHz	0	96	MHz
Res_{TIM}	定时器分辨率	TIMx（除 TIM2 和 TIM5 之外）	-	16	bit
		TIM2 和 TIM5	-	28	
$t_{counter}$	16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 192 MHz	0.00521	341.3	µs
t_{MAX_COUNT}	28 位计数器的最大可能计数	-	-	4096 × 65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 192 MHz	-	1.39	s

1. TIMx 是一个通用的名称，其中 x 代表 1, 2, 3, 4, 5, 6, 7, 8, 15, 16, 17。
2. 由设计保证。

5.3.23 通信接口

I²C 接口特性：

RX32G410 产品的 I²C 接口符合标准 I²C 通信协议，但有如下限制：SDA 和 SCL 不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的 PMOS 管被关闭，但仍然存在。

I²C 接口特性列于下表，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见第 5.3.12 节。

表 5.44 I²C 接口特性

符号	描述	标准模式(1)(2)(3)		快速模式(1)(2)(3)		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	4	-	0.6	-	
$t_{su(SDA)}$	SDA 建立时间	250	-	100	-	ns
$t_{h(SDA)}$	SDA 数据保持时间	-	3450(4)	-	900(4)	
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA 和 SCL 上升时间	-	1000	-	300	
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA 和 SCL 下降时间	-	300	-	300	
$t_{h(STA)}$	开始条件保持时间	4	-	0.6	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	
$t_{su(STO)}$	停止条件建立时间	4	-	0.6	-	
$t_{w(STO:STA)}$	停止至开始条件时间（总线空闲）	4.7	-	1.3	-	
C_b	每条总线的负载电容	-	400	-	400	pF
t_{SP}	模拟滤波器抑制的毛刺脉冲宽度	0	50(5)	0	50(5)	ns

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 频率，f_{PCLK1} 必须大于 2MHz。为达到快速模式 I2C 频率，f_{PCLK1} 必须大于 4MHz。为达到 400KHz 最大 I2C 快速模式时钟需 f_{PCLK1} 为 10MHz 的整数倍。
3. 外设时钟频率最大 36MHz
4. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
5. 模拟滤波器滤除的毛刺最小宽度需大于 t_{SP}(max)。

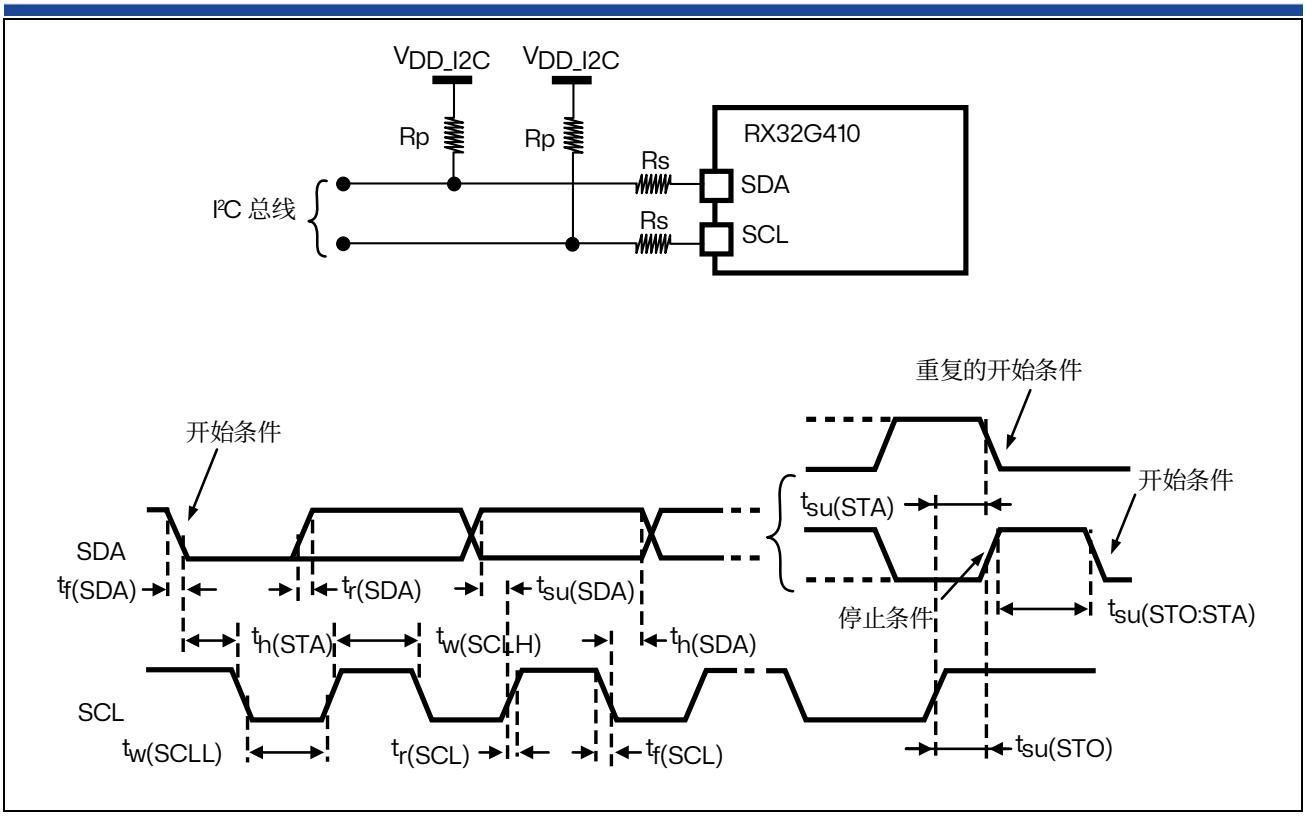


图 5.10 I2C 总线交流波形和测量电路

1. 测量点采用 CMOS 电平标准：0.3V_{DD} 和 0.7V_{DD}。
2. R_S=串联保护电阻，R_P=上拉电阻，V_{DD_I2C}=I2C 总线电源电压。

表 5.45 SCL 频率（f_{PCLK1} = 36MHz，VDD = 3.3V）(1)(2)

f_{SCL}(KHz)	I2C_CCR 数值
	R_P = 4.7 kΩ
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R_P = 外部上拉电阻，f_{SCL} = I2C 速度。
2. 对于 200kHz 左右的速度，速度的误差是±5%。对于其它速度范围，速度的误差是±2%。这些变化取决于设计中外部元器件的精度。

SPI 特性：

除非特别说明，下表中列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 5.4 的条件测量得到。

有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参见第 5.3.12 节。

表 5.46 SPI 特性

符号	描述	条件	最小值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI 时钟频率	主模式	-	18	MHz
		从模式	-	18	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容：C = 30 pF	-	8	ns
DuCy(SCK)	SPI 从模式输入时钟占空比	从模式	30	70	%
$t_{su(NSS)}$(1)	NSS 建立时间	从模式	$4t_{PCLK}$	-	ns
$t_{h(NSS)}$(1)	NSS 保持时间	从模式	$2t_{PCLK}$	-	
$t_{w(SCKH)}$(1) $t_{w(SCKL)}$(1)	SCK 高和低的时间	主模式，f_{PCLK} = 36 MHz，预分频系数= 4	50	60	
$t_{su(MI)}$(1) $t_{su(SI)}$(1)	数据输入建立时间	主模式	5	-	
		从模式	5	-	
$t_{h(MI)}$(1)	数据输入保持时间	主模式	5	-	
$t_{h(SI)}$(1)		从模式	4	-	
$t_{a(SO)}$(1)(2)	数据输出访问时间	从模式，f_{PCLK} = 20 MHz	0	$3t_{PCLK}$	
$t_{dis(SO)}$(1)(3)	数据输出禁止时间	从模式	2	10	
$t_{v(SO)}$(1)	数据输出有效时间	从模式（使能边沿之后）	-	25	
$t_{v(MO)}$(1)	数据输出有效时间	主模式（使能边沿之后）	-	5	
$t_{h(SO)}$(1)	数据输出保持时间	从模式（使能边沿之后）	15	-	
$t_{h(MO)}$(1)		主模式（使能边沿之后）	2	-	

1. 由综合评估得出，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

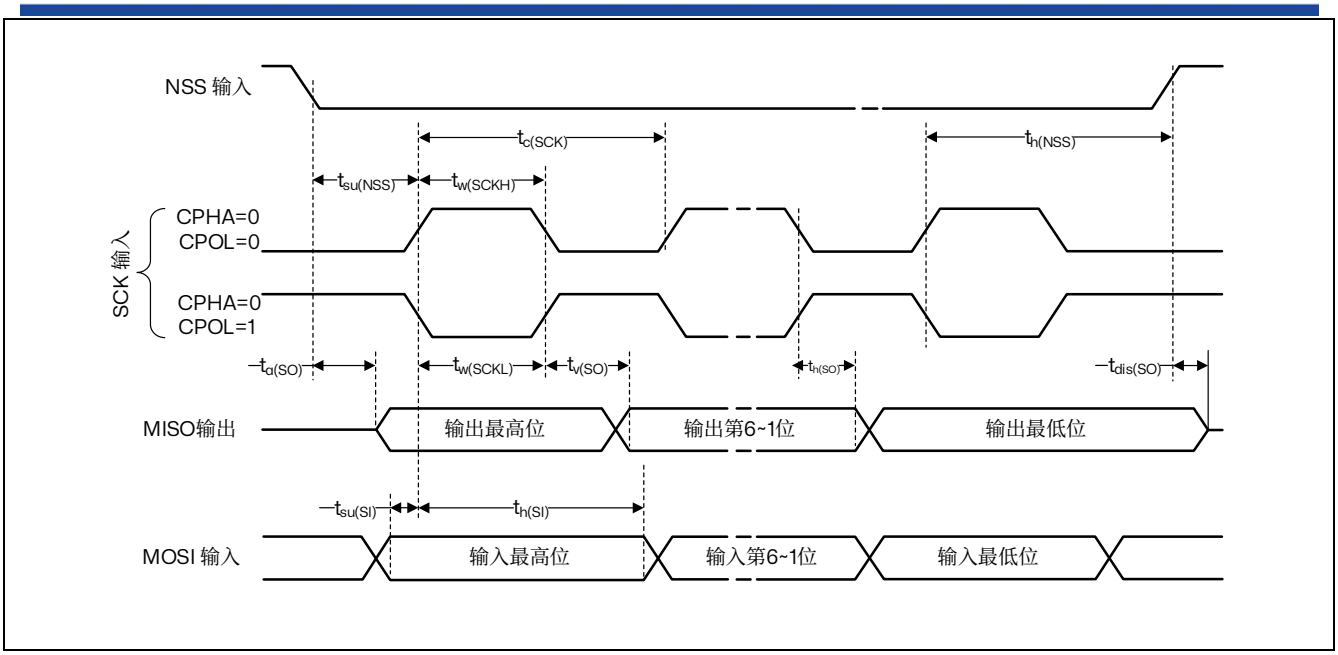


图 5.11 SPI 时序图-从模式和 CPHA=0

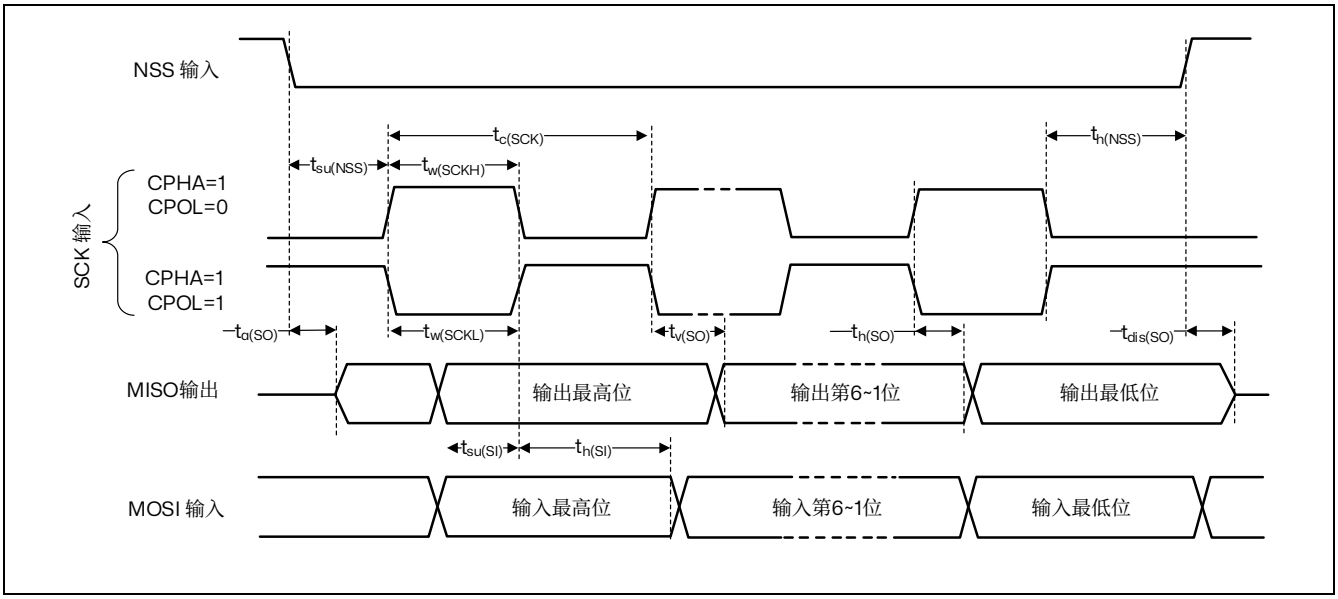


图 5.12 SPI 时序图-从模式和 CPHA=1

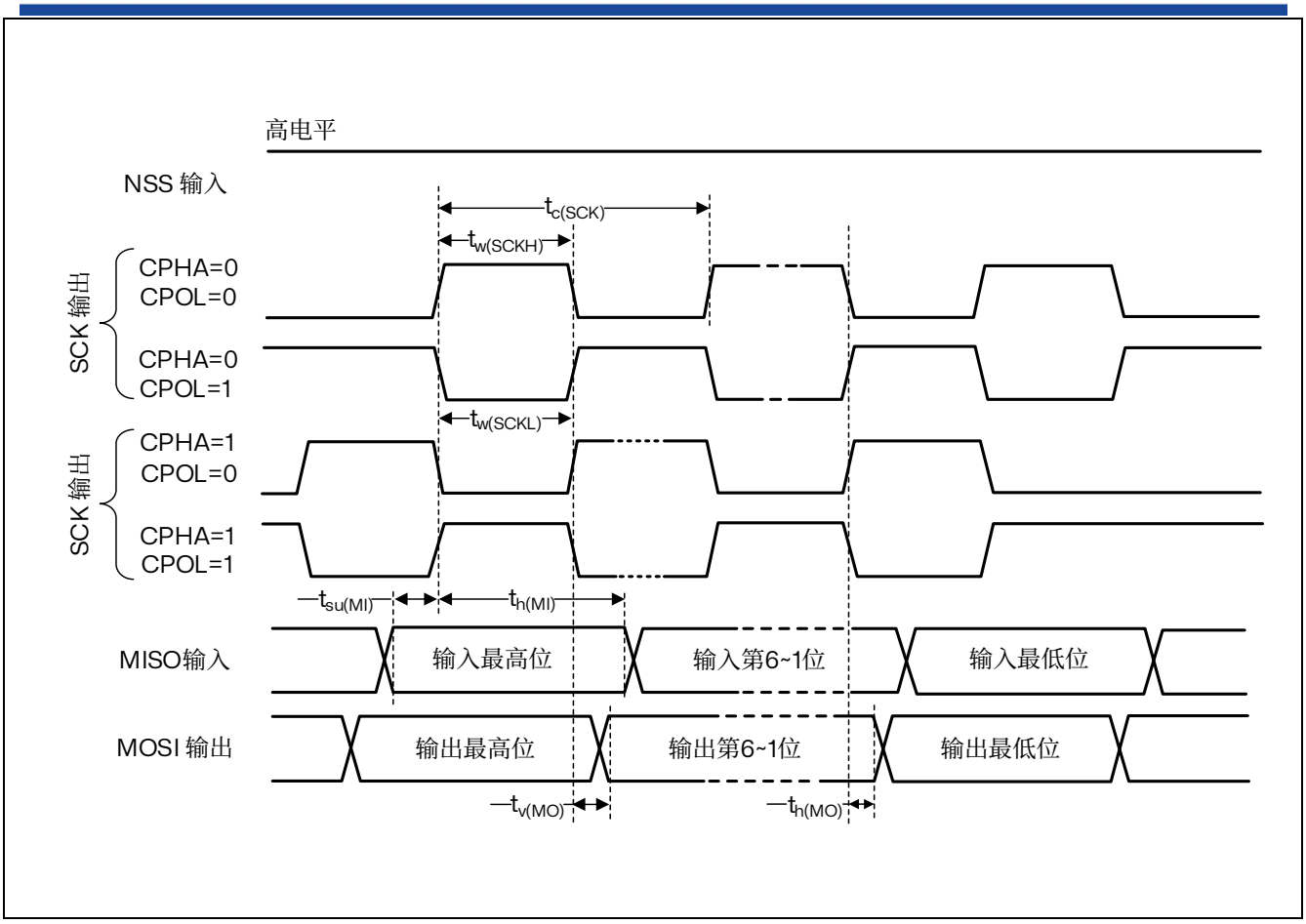


图 5.13 SPI 时序图-主模式

USB 特性：

USB-FS（全速）接口已通过 USB-IF 认证。

表 5.47 USB 启动时间

符号	描述	最大值	单位
$t_{STARTUP}$(1)	USB 收发器启动时间	1	μs

1. 由设计保证。

表 5.48 USB 直流特性

符号	描述	条件	最小值(1)	最大值(1)	单位
输入电平					
V_{DD}	USB 操作电压(2)	-	3.0(3)	3.6	V
V_{DI}(4)	差分输入灵敏度	I（USBDP，USBDM）	0.2	-	V
V_{CM}(4)	差分共模范围	包含 V_{DI} 范围	0.8	2.5	
V_{SE}(4)	单端接收器阀值	-	1.3	2.0	
输出电平					
V_{OL}	静态输出低电平	1.5kΩ的 R_L 接至 3.6V(5)	-	0.3	V
V_{OH}	静态输出高电平	15kΩ的 R_L 接至 V_{SS}(5)	2.8	3.6	

1. 所有的电压测量都是以设备端地线为准。
2. 为了与 USB 2.0 全速电气规范兼容，USBDP（D+）引脚必须通过一个 1.5kΩ电阻接至 3.0~3.6V 电压。
3. RX32G410xx 的正确 USB 功能可以在 2.7V 得到保证，而不是在 2.7~3.0V 电压范围下降级的电气特性。
4. 由综合评估保证，不在生产中测试。
5. R_L 是连接到 USB 驱动器上的负载。

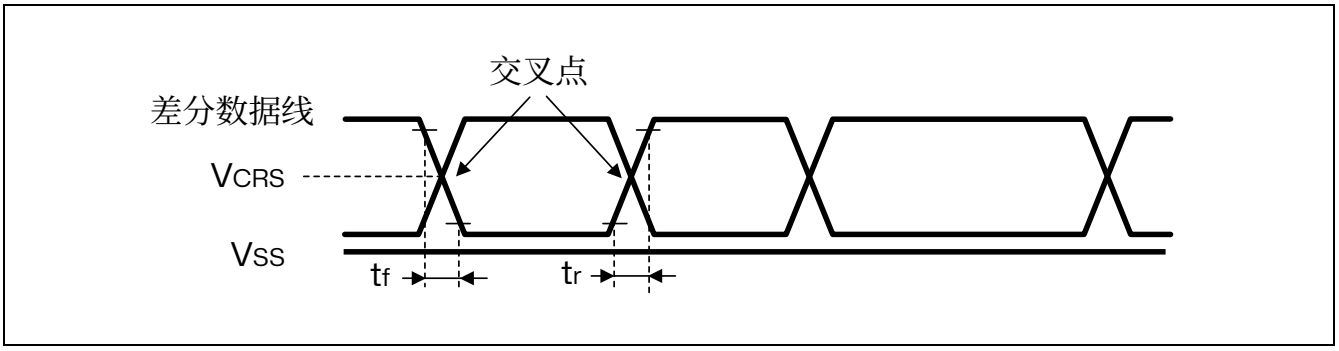


图 5.14 USB 时序：数据信号上升和下降时间定义

表 5.49 USB 全速电气特性(1)

符号	描述	条件	最小值	最大值	单位
驱动器特性					
t_r	上升时间(2)	C_L = 50pF	4	20	ns
t_f	下降时间(2)	C_L = 50pF	4	20	ns
t_{rfm}	上升下降时间匹配	t_r / t_f	90	110	%
V_{CRS}	输出信号交叉电压	-	1.3	2.0	V

1. 由设计保证，不在生产中测试。
2. 测量数据信号从 10%至 90%。如需更多详细信息，请参考 USB 规范 – 第 7 节（2.0 版）。

CAN（控制器局域网络）接口：

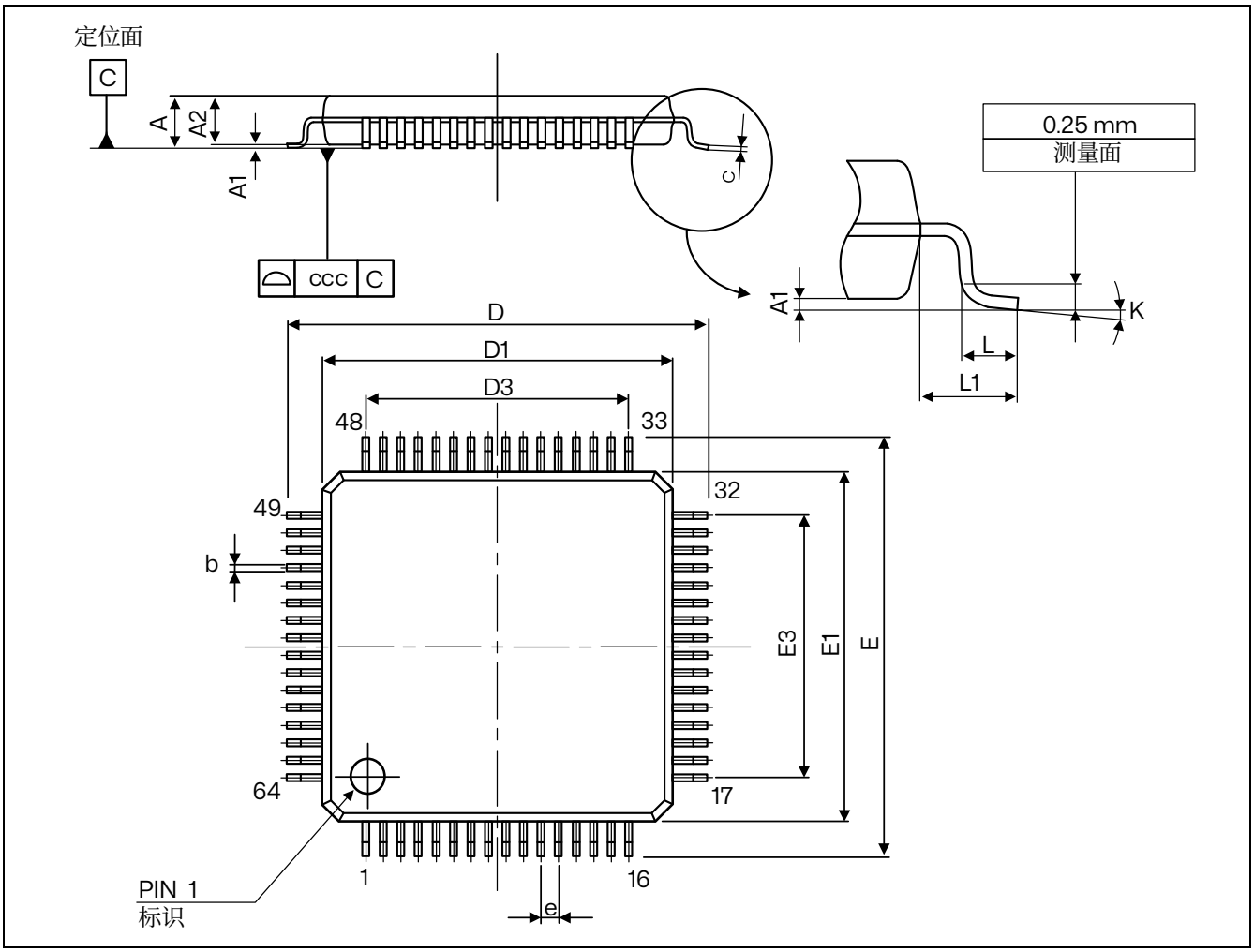
有关输入/输出复用功能特性（CANx_TX 和 CANx_RX）的更多详情，请参考章节：I/O 端口特性。

6 封装信息

为了满足环境要求，睿兴根据不同设备的环保合规水平，提供不同等级的封装设备。

6.1 LQFP64 封装信息

LQFP64 是一种 64 引脚，10 * 10 mm 的薄型四方扁平封装。



1. 图纸未按比例绘制

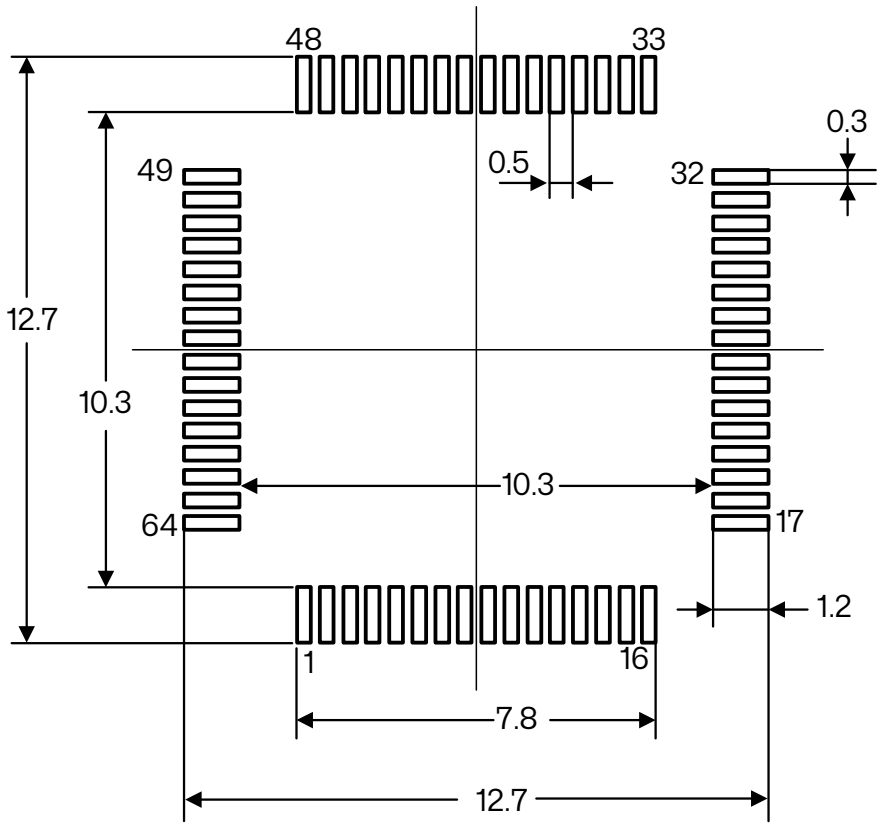
图 6.1 LQFP64 - 轮廓

表 6.1 LQFP64 – 机械数据

符号	毫米			英寸(1)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079

符号	毫米			英寸[1]		
	最小值	典型值	最大值	最小值	典型值	最大值
D	-	12.000	-	-	0.4724	-
D1	-	10.000	-	-	0.3937	-
D3	-	7.500	-	-	0.2953	-
E	-	12.000	-	-	0.4724	-
E1	-	10.000	-	-	0.3937	-
E3	-	7.500	-	-	0.2953	-
e	-	0.500	-	-	0.0197	-
K	0°	3.5°	7°	0°	3.5°	7°
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
ccc	-	-	0.080	-	-	0.0031

1. 英寸值由毫米值转换而来，并四舍五入到小数点后四位。

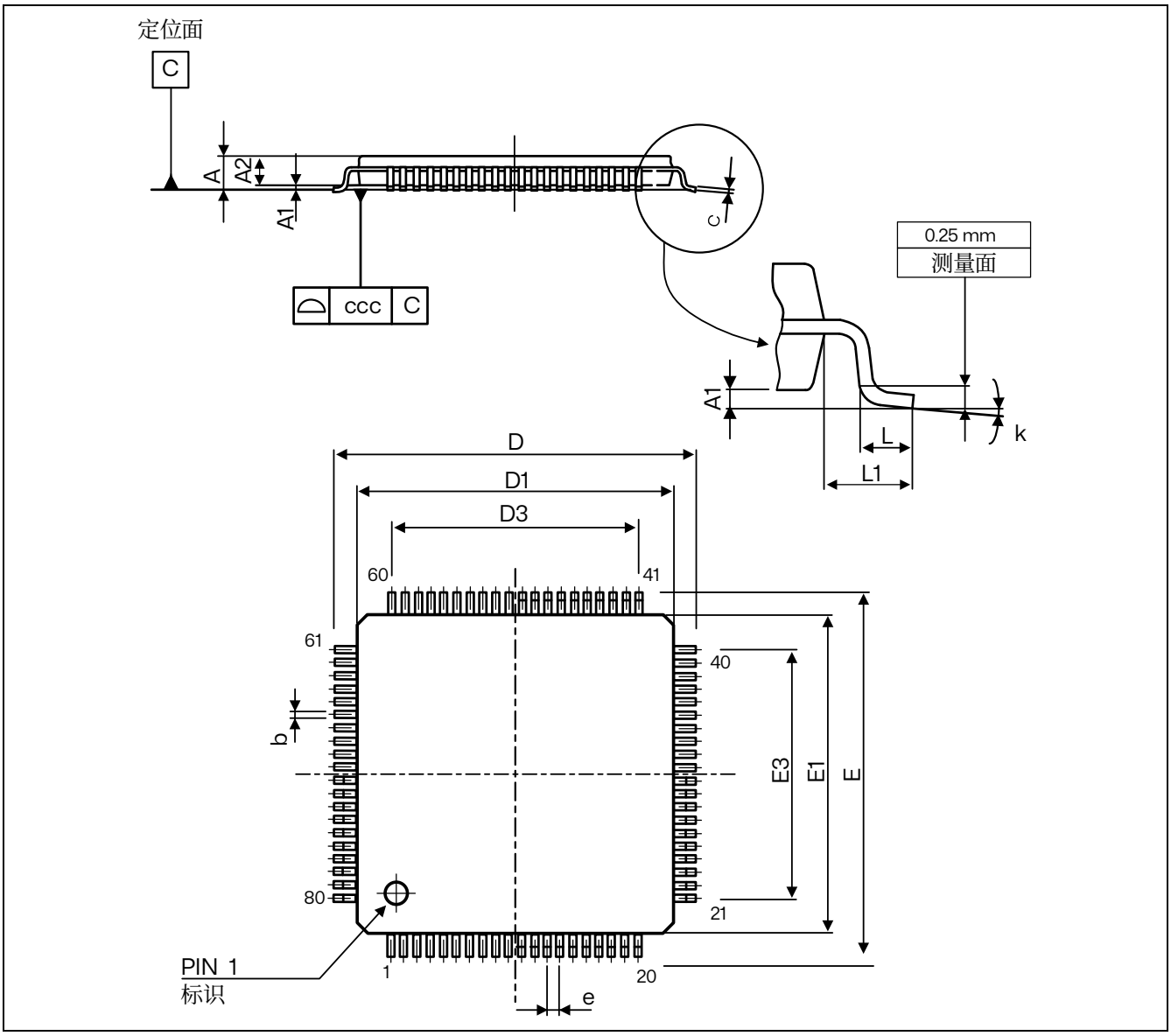


1. 尺寸以毫米为单位表示

图 6.2 LQFP64 - 推荐的 PCB 焊盘

6.2 LQFP80 封装信息

LQFP80 是一种 80 引脚，12 * 12 mm 的薄型四方扁平封装。



1. 图纸未按比例绘制

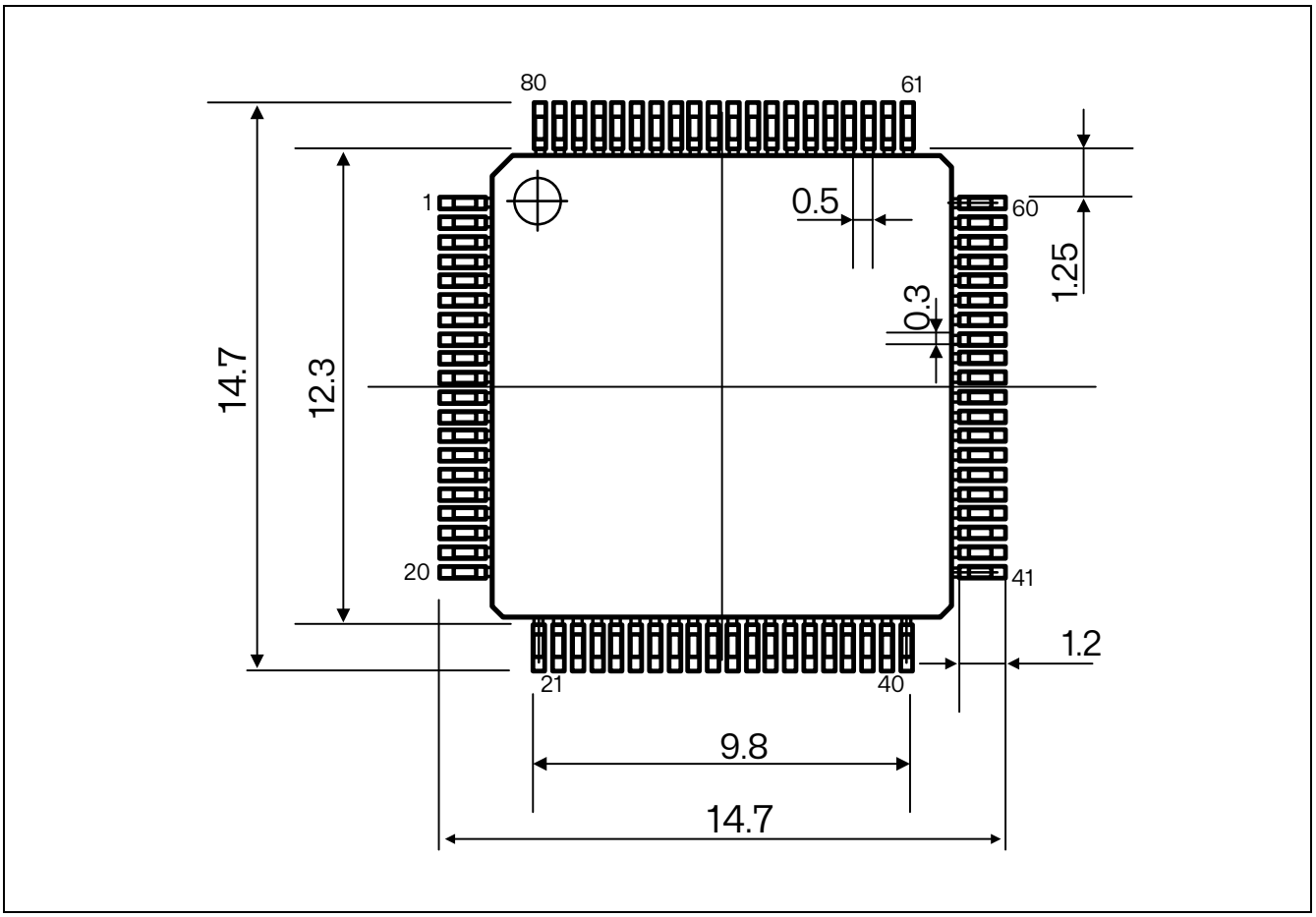
图 6.3 LQFP80 - 轮廓

表 6.2 LQFP80 – 机械数据

符号	毫米			英寸(1)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106

符号	毫米			英寸[1]		
	最小值	典型值	最大值	最小值	典型值	最大值
c	0.090	-	0.200	0.0035	-	0.0079
D	-	14.000	-	-	0.5512	-
D1	-	12.000	-	-	0.4724	-
D3	-	9.500	-	-	0.3740	-
E	-	14.000	-	-	0.5512	-
E1	-	12.000	-	-	0.4724	-
E3	-	9.500	-	-	0.3740	-
e	-	0.500	-	-	0.0197	-
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
ccc	-	-	0.080	-	-	0.0031
k	0.0°	-	7.0°	0.0°	-	7.0°

1. 英寸值由毫米值转换而来，并四舍五入到小数点后四位。



1. 尺寸以毫米为单位表示

图 6.4 LQFP80 - 推荐的 PCB 焊盘

7 订货代码

举例 RX32 G 4 1 0 M E T 8

芯片系列

RX32 = 基于 RISC 内核的 32 位微控制器

芯片类型

G = 通用

芯片亚科

4 = RX32G4xx

合封类型

1 = 仅 MCU

序列号

0

引脚数

R = 64 pin

M = 80 pin

Flash

E = 512 Kbyte

封装

T = LQFP

温度范围

8 = -40 到+125°C

8 版本历史

表 8.1 版本历史

日期	版本	更改内容
2026/06/10	V2.0	新版
2026/07/27	V2.1	1. 更新 TIM2 和 TIM5 定时器为 28 位定时器