RX32S651 数据手册

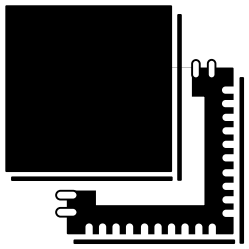
文档编号：DS00009

基于 32 位 RISC 内核的专业电机微控制器

版本：V2.1

特征

- 内核：32 位 RISC 内核，最高频率 152 MHz
- 运行条件：
  - HVDD 电压范围：4V 至 18V
  - VDD 电压范围：2.7V 至 3.6V
  - -40°C ~ 125°C
- ESD
  - HBM 2kV
  - CDM 950V
  - EFT
- 数学运算协同处理器
  - DIV
  - SQRT
- 存储器
  - 64 Kb Flash
  - 8 Kb SRAM
- 复位和供电管理
  - 上电/下电复位（POR/PDR）
  - 可编程电压监测器（PVD）
  - 低功耗模式：睡眠（Sleep）、停止(Stop)、待机（Standby）
- 时钟管理
  - 内置经出厂调校的 16 MHz 振荡器
  - 内置经出厂调校的 32 KHz 振荡器
- 22 个快速 I/O
  - GPIO 可映射到外部中断向量
  - GPIO 最大额定 7V
- 1 个 4Msps 的 12 位 ADC
  - 电压转换范围：0V 至 VREFBUF
  - 内置 TPS
- 2 个轨对轨比较器
  - 内部参考电压源 CRV
  - CRV 源可选 1V 或 2.5V
- VREFBUF
  - 可选参考电压 2.5V/2.8V/VDD
- 3 个运算放大器
  - PGA 模式（4~16 倍）
  - 电压跟随器模式
  - 独立模式（仅 OPAMP3）



QFN 40（6.0 * 6.0 mm）

- 通信接口
  - 1 个 I²C
  - 2 个 UART
  - 1 个 SPI
- 9 个定时器
  - 1 个 28 位定时器和 1 个 16 位定时器，最多 4 个 IC/OC/PWM 或脉冲计数器和正交(增量式)编码器输入
  - 1 个 16 位 6 通道高级电机控制定时器，最多 6 个 PWM 通道，带有死区时间生成和刹车功能
  - 1 个 16 位定时器，带有 3 个 IC/OCs，1 个 OCN/PWM，死区时间生成和刹车功能
  - 2 个 16 位基本定时器
  - 1 个看门狗定时器（IWDG）
  - 1 个 24 位系统定时器
  - 1 个 RTC 实时时钟
- 开发支持
  - 串行线调试
- CRC 计算单元，96 位唯一 ID
- NN 型半桥式栅极驱动器
  - 高端悬浮自举电源设计，耐压 150V
  - 最高频率支持 500kHz
  - 输出电流能力 IO+/-= +1.0A/ -1.3A
  - 上下桥电源欠压保护
  - 内部集成低内阻自举充电二极管
  - HIN 输入高电平有效，控制上桥 HO 输出
  - LIN 输入高电平有效，控制下桥 LO 输出
  - 内置死区控制电路

HIN	LIN	HO	LO
L	L	L	L
L	H	L	H
H	L	H	L
H	H	L	L

目录

1 简介 8
2 概述 9
3 功能概述 11
3.1 数学运算协同处理器 11
3.2 内置 Flash 11
3.3 内置 SRAM 11
3.4 自举模式 11
3.5 电源管理 11
3.5.1 供电方案 11
3.5.2 上电复位（POR）和掉电复位（PDR） 11
3.5.3 低功耗模式 11
3.6 通用输入/输出(GPIOs) 12
3.7 模数转换器(ADC) 12
3.8 比较器（CMP） 12
3.9 运算放大器（OPAMP） 12
3.10 栅极驱动器 12
4 引脚和引脚分布 14
4.1 QFN40 引脚分布 14
4.2 引脚定义 15
4.3 复用功能 19
5 电气特性 23
5.1 测试条件 23
5.1.1 最小值和最大值 23
5.1.2 典型值 23
5.1.3 典型曲线 23
5.1.4 负载电容 23
5.1.5 引脚输入电压 23
5.1.6 供电方案 24
5.1.7 电流消耗测量 25
5.2 绝对最大额定值 25
5.3 工作条件 26
5.3.1 通用工作条件 26
5.3.2 上电和断电时操作条件 27
5.3.3 内置复位和电源控制模块特性 27
5.3.4 内部参考电压 28
5.3.5 供电电流特性 28
5.3.6 内部时钟源特性 29
5.3.7 PLL 特性 30
5.3.8 存储器特性 31
5.3.9 EMC 特性 31
5.3.10 电气敏感性 31

5.3.11 IO 注入电流特性 32
5.3.12 IO 端口特性 32
5.3.13 NRST 引脚特性 34
5.3.14 TIM 定时器特性 34
5.3.15 通信接口 35
5.3.16 ADC 特性 38
5.3.17 温度传感器特性 40
5.3.18 VREFBUF 特性 40
5.3.19 OPAMP 特性 41
5.3.20 CMP 特性 42
5.3.21 CRV 特性 43
5.3.22 栅极驱动器 44
6 封装信息 47
6.1 QFN40 封装信息 47
7 订货代码 49
8 版本历史 50

表目录

表 4.1 引脚配置表中使用的图例/缩写 15
表 4.2 引脚定义 16
表 4.3 复用功能（Port A） 19
表 4.4 复用功能（Port B） 20
表 4.5 复用功能（Port C） 21
表 4.6 复用功能（Port D） 22
表 5.1 电压特性 25
表 5.2 电流特性 26
表 5.3 温度特性 26
表 5.4 通用工作条件 26
表 5.5 上电和掉电时的工作条件 27
表 5.6 内置复位和电源控制块特性 27
表 5.7 内置的参照电压 28
表 5.8 睡眠模式下的最大电流消耗，代码从 FLASH 运行 28
表 5.9 运行模式下的最大电流消耗，数据处理代码从 FLASH 运行 28
表 5.10 停止模式和待机模式下的典型和最大电流消耗 29
表 5.11 高速内部 RC（HSI）振荡器特性 (1) 29
表 5.12 LSI 振荡器特性 (1) 29
表 5.13 低功耗模式的唤醒时间 (1) 30
表 5.14 PLL 特性 (1)(4) 30
表 5.15 FLASH 特性 31
表 5.16 FLASH 寿命和数据保存期限 31
表 5.17 EMS 特性 31
表 5.18 ESD 绝对最大值 31
表 5.19 电气敏感性 32
表 5.20 IO 电流注入易感性 32
表 5.21 IO 静态特性 32
表 5.22 输出电压特性 33
表 5.23 IO 交流特性 (1)(2) 33
表 5.24 NRST 引脚特性 34
表 5.25 TIMx(1)特性 34
表 5.26 I2C 接口特性 35
表 5.27 SCL 频率（f_{PCLK1} = 36MHz，$VDD_{_I2C}$ = 3.3V）(1)(2) 35
表 5.28 SPI 特性 36
表 5.29 ADC 特性 38
表 5.30 ADC 输入阻抗 39
表 5.31 ADC 精度-限制测试条件 39
表 5.32 温度传感器特性 40
表 5.33 VREFBUF 特性 40
表 5.34 OPAMP 特性 41
表 5.35 CMP 特性 42

表 5.36 CRV 特性 43
表 5.37 Gatedriver 特性 44
表 6.1 机械数据 48
表 8.1 版本历史 50

图目录

图 2.1 RX32S651 架构图 10
图 4.1 RX32S651 QFN40 引脚图 14
图 5.1 引脚的负载情况 23
图 5.2 引脚输入电压 24
图 5.3 供电方案 24
图 5.4 电流功耗测量方案 25
图 5.5 SPI 时序图-从模式和 CPHA=0 36
图 5.6 SPI 时序图-从模式和 CPHA=1 37
图 5.7 SPI 时序图-主模式 37
图 5.8 时间切换波形图 45
图 5.9 死区时间波形图 46
图 5.10 应用电路 46
图 6.1 轮廓图 47

1 简介

本数据手册提供 RX32S651 的订购信息和固有特性。

本文档应与参考手册“RX32S651_Reference_Manual”一起阅读。本数据手册和参考手册均可从睿兴官网 www.rxtek-icore.com获得。

2 概述

RX32S651 系列采用 32 位 RISC 内核，最高运行频率为 152 MHz。

该系列内置三相半桥栅极驱动器，用于大功率 MOS 管、IGBT 管栅极驱动，高端悬浮自举电源设计，耐压 150V，内部集成了逻辑信号处理电路、死区时间控制电路、欠压保护电路、电平位移电路、脉冲滤波电路及输出驱动电路，专用于无刷电机控制器中驱动电路。

该系列内置高速存储器（64Kb 的 Flash、8K 的 SRAM），以及丰富的增强 I/O 引脚，连接到 2 条 APB 总线，1 条 AHB 总线。

该系列内置数学运算协同处理器，包括一个除法运算和一个开平方运算。

该系列内置 1 个 ADC（4 Msps），2 个比较器（CMP），3 个运算放大器（OPAMP），1 个内部参考电压缓冲器，，1 个电机专用的 16 位高级定时器，1 个 16 位电机专用通用定时器，1 个 28 位通用定时器，1 个 16 位通用定时器，2 个 16 位基本定时器。

该系列具有丰富通信接口：

- 1 个 I2C
- 2 个 UART
- 1 个 SPI

该系列可以在-40 至+125℃的温度范围内工作，HVDD 电压范围：4V 至 18V，VDD 电压范围：2.7V 至 3.6V。

RX32S651 系列提供 40 引脚 1 个封装。

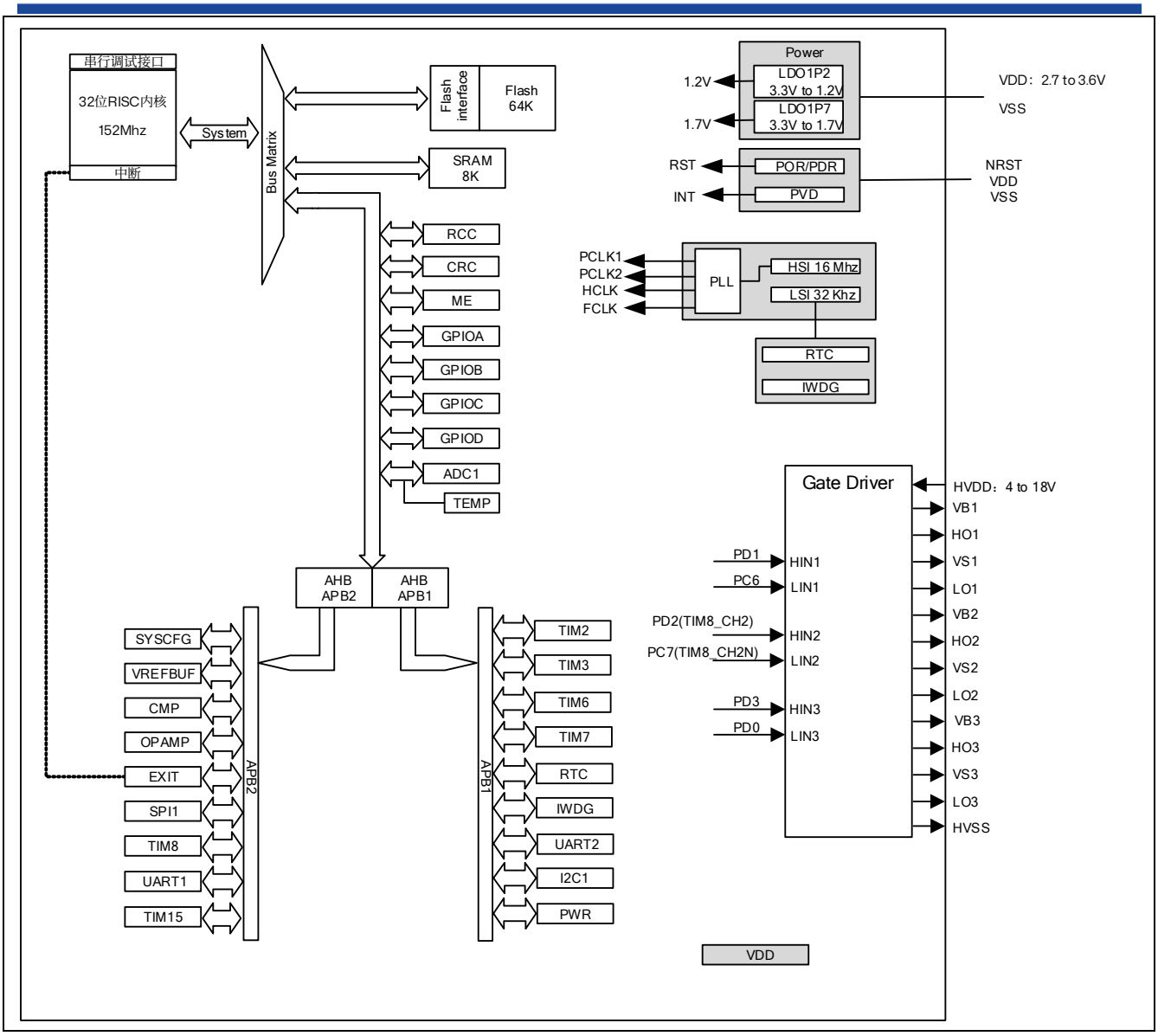


图 2.1 RX32S651 架构图

3 功能概述

3.1 数学运算协同处理器

RX32S651 提供一个数学运算协同处理器（Math Engine），该处理器包含 FOC 运算所需的运算加速单元：

- DIV：除法运算
- SQRT：开平方运算

3.2 内置 Flash

RX32S651 内置 64Kb 的嵌入式闪存，可用于存储程序和数据。

3.3 内置 SRAM

RX32S651 内置 8Kb 的 SRAM。这些 SRAM 可以以字节（8 位）、半字（16 位）或字（32 位）进行访问。这些存储器可以在没有等待周期的情况下由 CPU 寻址。

3.4 自举模式

启动加载程序存放在系统内存中，被用于通过 UART 对 Flash 重新编程。

3.5 电源管理

3.5.1 供电方案

RX32S651 的 HVDD 电压范围：4V 至 18V，VDD 电压范围：2.7V 至 3.6V。

3.5.2 上电复位（POR）和掉电复位（PDR）

RX32S651 内部有完整的上电复位（POR）和掉电复位（PDR）电路。当 VDD 供电电压到达 2.7V 时系统即能正常工作。

当 VDD 低于指定的限位电压 V_{POR}/V_{PDR}时，系统保持为复位状态，而无需外部复位电路。关于上电复位和掉电复位的细节请参考数据手册的电气特性部分。

3.5.3 低功耗模式

RX32S651 支持三种低功耗模式，用户可以在以下模式中进行选择：

- 睡眠模式：CPU 时钟被关闭。所有外设继续运行，并且 CPU 可以被中断或者事件唤醒。
- 停止 0 和停止 1 模式：保留 SRAM 和寄存器内容。关闭除 LSI 以外所有时钟。该系列可以被任一外部中断线从停止模式中唤醒。
  在停止 0 模式下，内部 LDO1P7 和 LDO1P2 配置为正常模式，这允许最快的唤醒时间但功耗更高。活动的外设和唤醒源与停止 1 模式相同。
- 待机模式：待机模式用于实现最低的功耗，关闭 LDO1P7 和 LDO1P2，关闭除 LSI 以外所有钟。该系列可以被外部复位（NRST 引脚）、IWDG 复位、RTC 唤醒以及 WKUP 唤醒引脚的上升沿和下降沿从待机模式中唤醒。

此外，可以通过以下方式降低运行模式的功耗：

- 降低系统时钟速度
- 当 APB 和 AHB 外设未使用时对它们进行时钟门控。

3.6 通用输入/输出(GPIOs)

每个 GPIO 引脚都可以被软件配置为输出（推挽或开漏）、输入（上拉、下拉或浮空）或外设复用功能。大多数 GPIO 引脚既可以作数字复用，也可以作模拟复用功能。

注意：PB7 无法上拉且只有推挽输出功能。

3.7 模数转换器(ADC)

该系列内置 1 个模数转换器，具有以下特点：

- 12 位分辨率，内置校准。
- 采样率 4Msps
- 采样通道可分为 4M、2M、1M 通道
- 内置 TPS 采样通道
- 3 个 OPAMP 内部输出采样通道
- 内置虚拟中心点采样通道
- 内置 VBG 采样通道
- 内置 VREFBUF 采样通道

3.8 比较器（CMP）

- 2 个轨对轨比较器
- 轨对轨输入/输出
- 具有迟滞功能
- 可选遮蔽源

3.9 运算放大器（OPAMP）

- PGA 模式（4~16 倍）
- 电压跟随器模式
- 独立模式（仅 OPAMP3）
- PGA 模式内部偏置电压可选（VSS/0.5V/0.5×VREFBUF）
- 输出可内部连接至 ADC 和比较器

3.10 栅极驱动器

该系列内置 1 个 NN 型半桥栅极驱动器，具有以下特点：

- N/N MOS 三相半桥输出
- 电源电压范围：4V～18V
- 高端悬浮自举电源设计，耐压 150V
- 最高频率支持 500 KHz
- 输出电流能力 IO+/-= +1.0A/ -1.3A
- 上下桥电源欠压保护
- 内部集成低内阻自举充电二极管
- HIN 输入高电平有效，控制上桥 HO 输出
- LIN 输入高电平有效，控制下桥 LO 输出
- 内置死区控制电路

表 3.1 栅极驱动器真值表

输入端		输出端	
HIN	LIN	HO	LO
低电平	低电平	低电平	低电平
低电平	高电平	低电平	高电平
高电平	低电平	高电平	低电平
高电平	高电平	低电平	低电平

4 引脚和引脚分布

4.1 QFN40 引脚分布

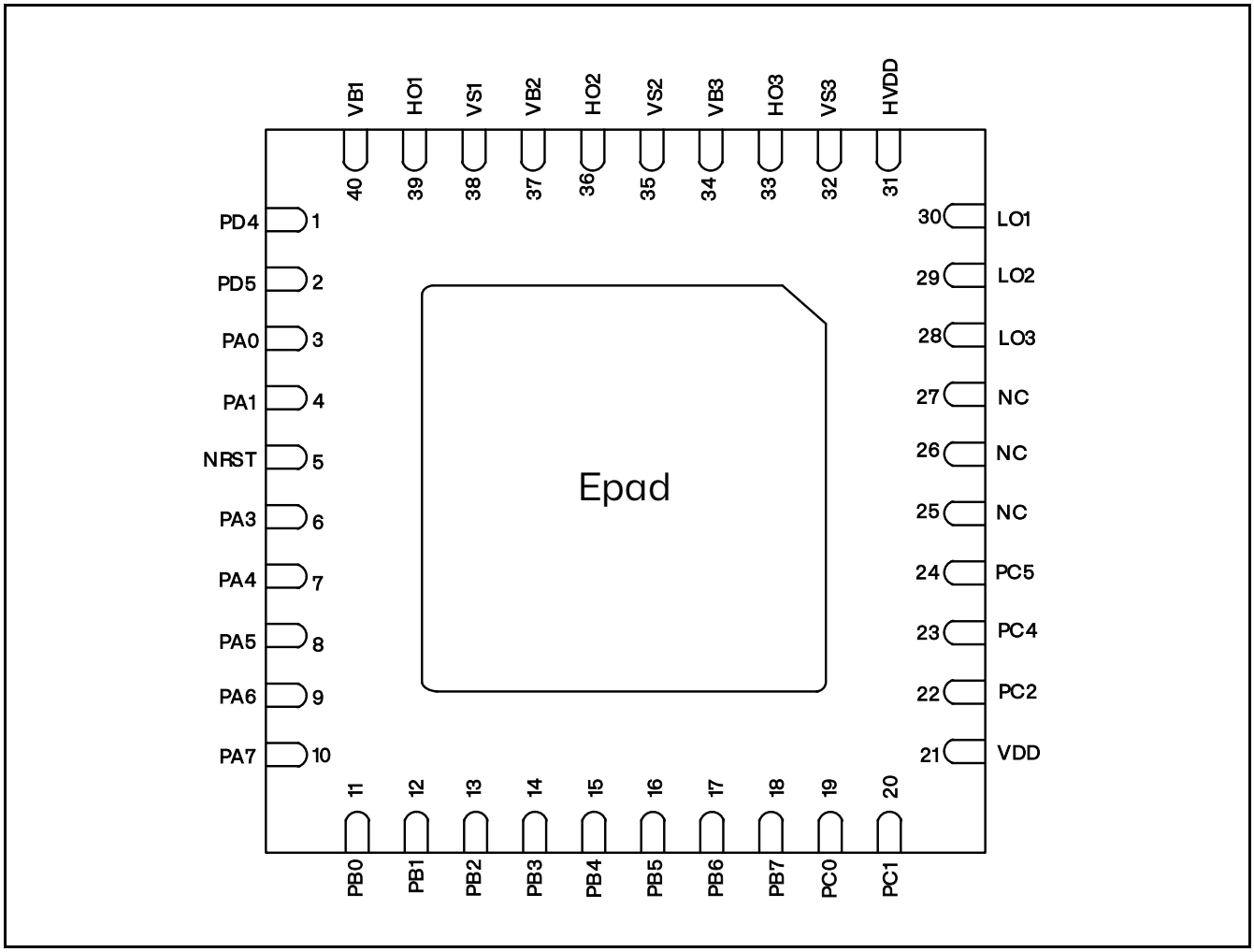


图 4.1 RX32S651 QFN40 引脚图

4.2 引脚定义

表 4.1 引脚配置表中使用的图例/缩写

名称	缩写	定义
引脚名称	除非在引脚名称下方的括号中另有说明，否则引脚在复位期间和复位后的功能与实际的引脚名称相同	
引脚类型	S	电源引脚
	I	仅输入引脚
	O	仅输出引脚
	I/O	输入/输出引脚
I/O 结构	FT	5V 容忍 I/O
	WKUP	专用唤醒引脚
	NRST	具有内置弱上拉电阻的双向复位引脚
	对于 FT 的 I/O 选项	
	_A[1]	I/O，具备由 VDDA 提供的模拟开关功能
	_F[2]	I/O，支持滤波器功能
注意	除非另有注释说明，所有 I/O 在复位期间及复位后均设置为浮空输入	
引脚功能	复用功能	通过 GPIOx_AFRL 寄存器选择功能
	附加功能	通过外设寄存器直接选择/使能功能

1. 表 4.2 中的相关 I/O 结构有：FT_A、FT_AF。
1. 表 4.2 中的相关 I/O 结构有：FT_AF。

表 4.2 引脚定义

引脚数 QFN40	引脚名 (复位后功能)	引脚类型	I/O 结构	Note	复用功能	其他功能
1	PD4	I/O	WKUP_IO	-	TIM3_CH1 TIM15_BKIN UART2_TX UART2_RX SPI1_MOSI I2C1_SDA	WKUP1
2	PD5	I/O	FT_AF	-	TIM3_CH2 TIM8_BKIN2 UART2_TX SPI1_MISO I2C1_SCL	ADC1_IN14
3	PA0	I/O	FT_A	-	DBGIO TIM3_CH3 I2C1_SDA UART1_RX	-
4	PA1	I/O	FT_AF	-	DBGCLK TIM3_CH4 I2C1_SCL UART1_TX SPI1_NSS	-
5	NRST	-	-	-	-	NRST
6	PA3	I/O	FT_A		TIM3_CH3 CMP2_O	ADC1_IN13
7	PA4	I/O	FT_A	-	CMP1_O CMP2_O	OPAMP1_P1
8	PA5	I/O	FT_A	-	-	OPAMP2_N2 OPAMP1_N1
9	PA6	I/O	FT_A	-	-	ADC1_IN12 OPAMP2_P1
10	PA7	I/O	FT_A	-	-	ADC1_IN11 OPAMP1_N2 OPAMP2_N1
11	PB0	I/O	FT_A	-	TIM2_ETR TIM2_CH1 SPI1_MISO	OPAMP3_P1
12	PB1	I/O	FT_A	-	TIM8_CH5 UART1_TX TIM2_CH2 SPI1_SCK	ADC1_IN10 OPAMP3_O
13	PB2	I/O	FT_A	-	TIM8_CH6	OPAMP3_N1

引脚数 QFN40	引脚名 (复位后功能)	引脚类型	I/O 结构	Note	复用功能	其他功能
					TIM3_ETR UART1_RX TIM2_CH3 SPI1_MOSI	CMP2_N1
14	PB3	I/O	FT_A	-	MCO TIM2_CH4	ADC1_IN9 OPAMP3_P2 CMP2_P1
15	PB4	I/O	FT_A	-	TIM2_CH3	ADC1_IN8 CMP1_P3
16	PB5	I/O	FT_A	-	TIM15_CH1	ADC1_IN7 CMP1_N3
17	PB6	I/O	FT_A	-	TIM2_CH2 TIM15_CH1N	ADC1_IN6 CMP1_P2
18	PB7	I/O	FT_A	1	-	-
19	PC0	I/O	FT_A	-	TIM2_CH1	ADC1_IN4 CMP1_P1
20	PC1	I/O	FT_A	-	-	ADC1_IN3 CMP1_N1
21	VDD	S	-	-	-	-
EPAD	VSS	S	-	-	-	-
22	PC2	I/O	FT_A	-	TIM15_CH1	ADC1_IN2 CMP2_P2
23	PC4	I/O	FT_A	-	TIM15_CH1 TIM15_CH3	ADC1_IN1 CMP2_N3
24	PC5	I/O	FT_A	-	TIM8_CH4 TIM15_CH2 TIM2_CH1 TIM8_BKIN1	SRN
25	NC	-	-	-	-	-
26	NC	-	-	-	-	-
27	NC	-	-	-	-	-
28	LO3	O	-	-	-	-
29	LO2	O	-	-	-	-
30	LO1	O	-	-	-	-
31	HVDD	S	-	-	-	-
32	VS3	I	-	-	-	-
33	HO3	O	-	-	-	-
34	VB3	I	-	-	-	-
35	VS2	I	-	-	-	-
36	HO2	O	-	-	-	-

引脚数 QFN40	引脚名 (复位后功能)	引脚类型	I/O 结构	Note	复用功能	其他功能
37	VB2	I	-	-	-	-
38	VS1	I	-	-	-	-
39	HO1	O	-	-	-	-
40	VB1	I	-	-	-	-

1. PB7 仅可配置为推挽输出

4.3 复用功能

表 4.3 复用功能（Port A）

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog
Port A	PA0	DBGIO	TIM3_CH3	I2C1_SDA			UART1_RX			
	PA1	DBGCLK	TIM3_CH4	I2C1_SCL			UART1_TX	SPI1_NSS		
	PA3		TIM3_CH3	CMP2_O						ADC1_IN13
	PA4			CMP1_O	CMP2_O					OPAMP1_P1
	PA5									OPAMP2_N2、OPAMP1_N1
	PA6									ADC1_IN12、OPAMP2_P1
	PA7									ADC1_IN11、OPAMP1_N2、OPAMP2_N1

表 4.4 复用功能（Port B）

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog
Port B	PB0			TIM2_ETR			TIM2_CH1	SPI1_MISO		OPAMP3_P1
	PB1		TIM8_CH5			UART1_TX	TIM2_CH2	SPI1_SCK		ADC1_IN10、OPAMP3_O
	PB2		TIM8_CH6	TIM3_ETR		UART1_RX	TIM2_CH3	SPI1_MOSI		OPAMP3_N1、CMP2_N1
	PB3	MCO		TIM2_CH4						ADC1_IN9、OPAMP3_P2、CMP2_P1
	PB4			TIM2_CH3						ADC1_IN8、CMP1_P3
	PB5						TIM15_CH1			ADC1_IN7、CMP1_N3
	PB6			TIM2_CH2			TIM15_CH1N			ADC1_IN6、CMP1_P2
	PB7									

1. PB7 仅可配置为推挽输出

表 4.5 复用功能（Port C）

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog
Port C	PC0			TIM2_CH1						ADC1_IN4、CMP1_P1
	PC1									ADC1_IN3、CMP1_N1
	PC2						TIM15_CH1			ADC1_IN2、CMP2_P2
	PC4			TIM15_CH1			TIM15_CH3			ADC1_IN1、CMP2_N3
	PC5		TIM8_CH4	TIM15_CH2	TIM2_CH1		TIM8_BKIN1			SRN
	PC6[1]		TIM8_ CH3N		TIM8_ CH2N		TIM8_CH1N			
	PC7[1]		TIM8_CH3				TIM8_CH2N			

1. 该引脚已合封至栅极驱动器（Gate Driver），建议复用为 Timer 使用，否则没有实际意义。

表 4.6 复用功能（Port D）

Port		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog
Port D	PD0[1]		TIM8_ CH2N		TIM8_ CH3N		TIM8_ CH1N			
	PD1[1]		TIM8_CH2		TIM8_CH1		TIM8_CH3			
	PD2[1]		TIM8_CH1N				TIM8_CH2			
	PD3[1]		TIM8_CH1		TIM8_CH2		TIM8_CH3			
	PD4		TIM3_CH1		TIM15_ BKIN	UART2_TX	UART2_RX	SPI1_MOSI	I2C1_SDA	
	PD5		TIM3_CH2		TIM8_ BKIN2		UART2_TX	SPI1_MISO	I2C1_SCL	ADC1_IN14

1. 该引脚已合封至栅极驱动器（Gate Driver），建议复用为 Timer 使用，否则没有实际意义。

5 电气特性

5.1 测试条件

除非特别说明，所有电压均参考 VSS。

5.1.1 最小值和最大值

除非特别说明，在生产线上通过对 100%的产品在环境温度 T_A = 25°C 下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均±3σ)得到。

5.1.2 典型值

除非特别说明，典型数据以 T_A = 25°C，VDD = 3.3V，HVDD = 15V 为基础。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均±2σ)。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

用于引脚参数测量的负载情况如图 5.1 所示。

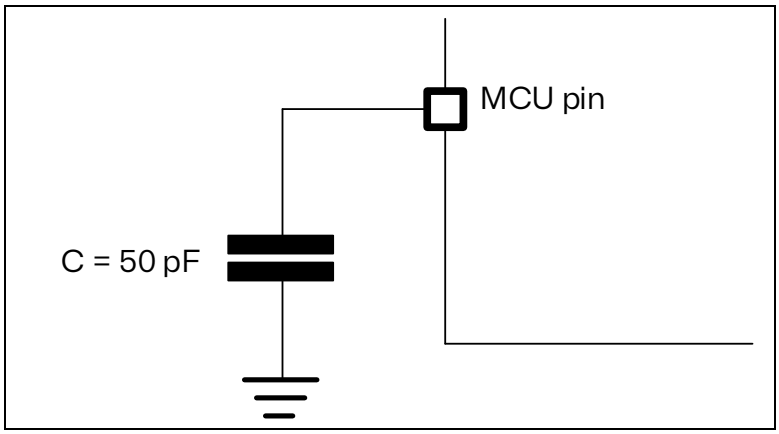


图 5.1 引脚的负载情况

5.1.5 引脚输入电压

图 5.2 描述了该器件的一个引脚上的输入电压测量。

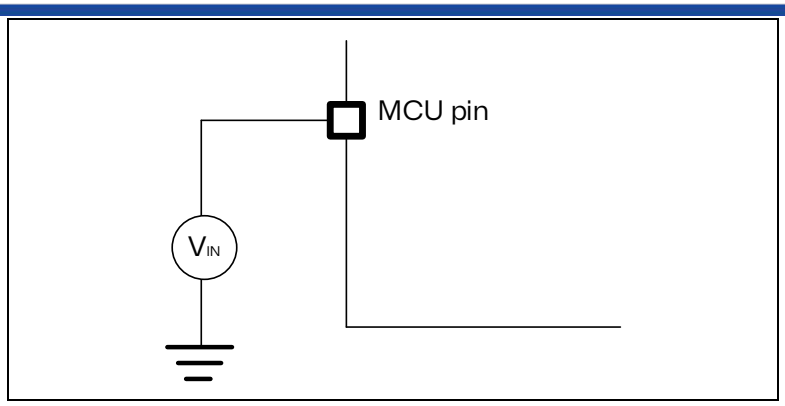


图 5.2 引脚输入电压

5.1.6 供电方案

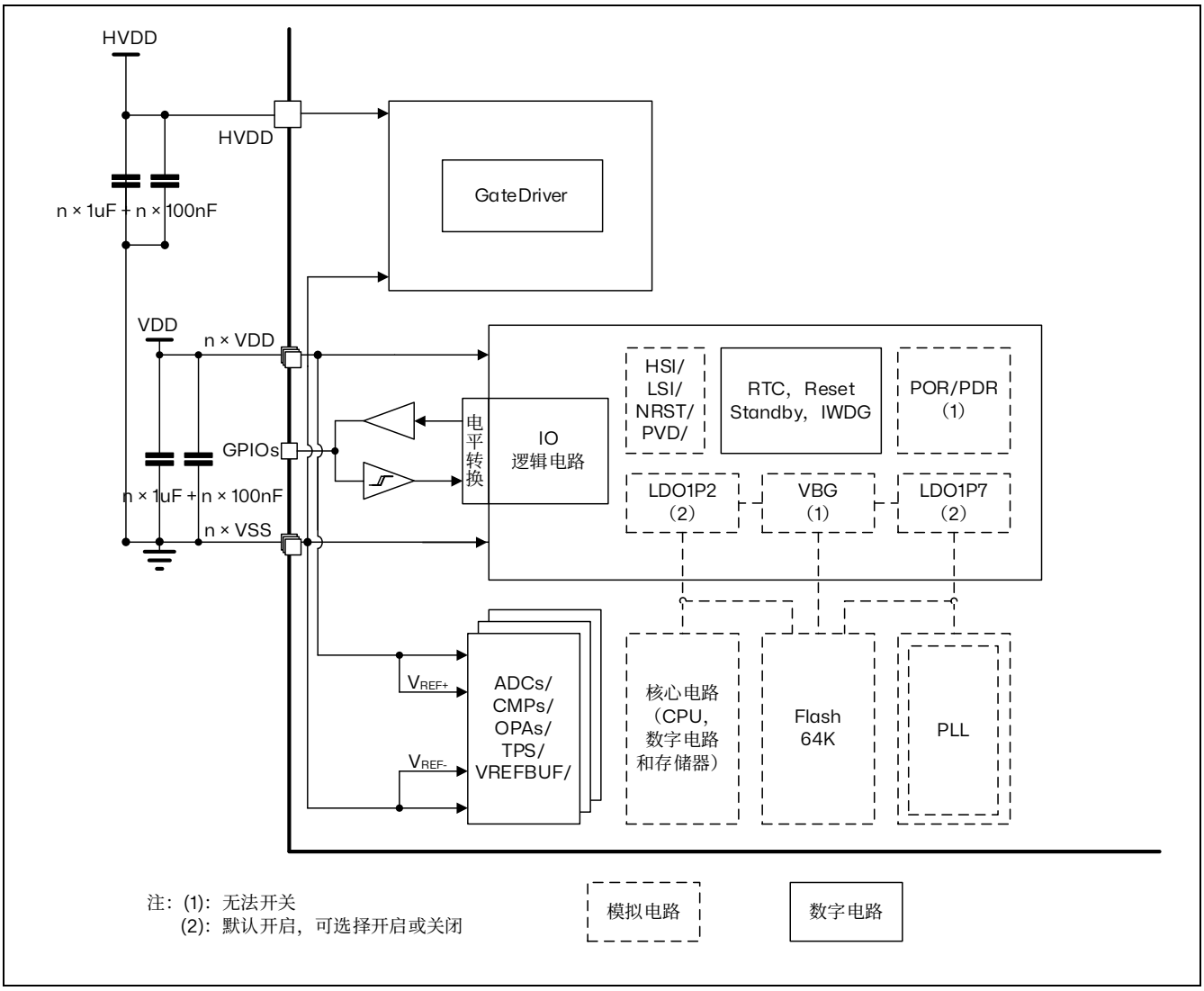


图 5.3 供电方案

注意：每个电源对（VDD/VSS）必须采用如上所示的滤波陶瓷电容器去耦。这些电容器必须尽可能靠近对应引脚的PCB 底部，以确保芯片的良好功能。

5.1.7 电流消耗测量

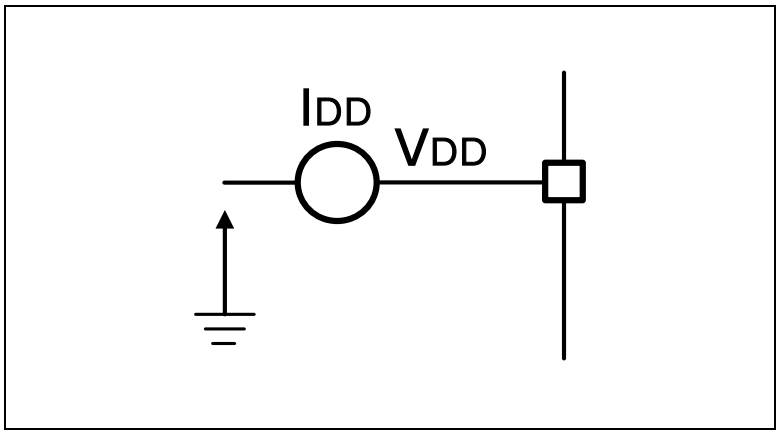


图 5.4 电流功耗测量方案

5.2 绝对最大额定值

加载在器件上的载荷如果超过本节“绝对最大额定值”中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5.1 电压特性

符号	描述	最小值	最大值	单位
VDD - VSS	外部主供电电压（VDD）(1)	-0.3	4	V
V_{IN}(2)	GPIO 的输入电压	VSS -0.3	7	
HVDD	栅极驱动器电源电压	-0.3	20	
$VB_{1,2,3}$	栅级驱动器自举电源输出	-0.3	150	
$VS_{1,2,3}$	功率切换电路输出相节点	VB-20	VB+0.3	
$HO_{1,2,3}$	栅极驱动器上桥臂输出	VS-0.3	VB+0.3	
$LO_{1,2,3}$	栅级驱动器下桥臂输出	-0.3	HVDD+0.3	
$V_{ESD(HBM)}$	ESD 静电放电电压（人体模型）	-	2000	

1. 所有的电源（VDD）和地（VSS）引脚必须始终连接到允许范围内的外部供电系统上。
2. 必须保证 V_{IN} 不超过其最大值。最大允许注入电流值参考电流特性。

表 5.2 电流特性

符号	描述	条件	最大值	单位
I_{VDD}	经过 VDD 电源线的总电流（供电电流）(1)	VDD=3.3V	150	mA
I_{VSS}	经过 VSS 地线的总电流（流出电流）(1)	VDD=3.3V	150	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	VDD=3.3V	20	
	任意 I/O 和控制引脚上的输出拉电流	VDD=3.3V	20	
$\Sigma I_{IO(PIN)}$	所有 I/O 和控制引脚吸收的总输出电流	VDD=3.3V	100	
	所有 I/O 和控制引脚产生的总输出电流	VDD=3.3V	100	
$I_{INJ(PIN)}$(2)	任意 I/O 上注入电流 (3)	VDD=3.3V	-5/0	
$\Sigma I_{INJ(PIN)}$	总注入电流(所有 I / O 和控制引脚的总和)(4)	VDD=3.3V	±25	

1. 所有的电源（VDD）和地（VSS）引脚必须始终连接到允许范围内的外部供电系统上。
2. 反向注入电流会干扰器件的模拟性能。
3. 当 V_{IN} 大于 VDD，则发生正向注入；当 V_{IN} 小于 VSS，则发生负向注入。必须避免超过 $I_{INJ(PIN)}$ 的限制。请参考电压特性以了解允许的最大输入电压值。
4. 当多个输入输出端口接受电流注入时，最大 $\Sigma I_{INJ(PIN)}$ 是注入的正电流和负电流（瞬时值）的绝对值之和。

表 5.3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	–40 to 150	°C
T_J	最大结温度	150	

5.3 工作条件

5.3.1 通用工作条件

表 5.4 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	-	-	152	MHz
f_{PCLK1}	内部 APB1 时钟频率	-	-	-	152	
f_{PCLK2}	内部 APB2 时钟频率	-	-	-	152	
VDD	标准工作电压	-	2.7	-	3.6	V
HVDD	栅极驱动器标准工作电压	-	4	15	18	
T_A(1)	环境温度	-	-40	-	125	°C
T_J(1)	结温度范围	-	-40	-	135	

1. 如果 T_A 较低，只要 TJ 不超过 T_J max，允许更高的 P_D 数值
2. 此时 VB-VS 最小为 12V。

5.3.2 上电和断电时操作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 5.5 上电和掉电时的工作条件

符号	参数	条件 (1)	最小值	最大值	单位
t_{VDD}	VDD 上升速率	VDD=3.3V	5	∞	μs/V
	VDD 下降速率		20	∞	

5.3.3 内置复位和电源控制模块特性

下表中给出的参数是依据表 5.4 列出的环境温度下和 VDD 供电电压下测试得出。

表 5.6 内置复位和电源控制块特性

符号	描述	条件	最小值	典型值	最大值	单位
VDD	工作电压	-	2	3.3	3.63	V
V_{PVD}	可编程的电压检测器的电平选择	PLS[2:0] = 000(上升沿)	2.18	2.2	2.22	
		PLS[2:0] = 001(上升沿)	2.28	2.3	2.32	
		PLS[2:0] = 010(上升沿)	2.38	2.4	2.42	
		PLS[2:0] = 011(上升沿)	2.48	2.5	2.52	
		PLS[2:0] = 100(上升沿)	2.58	2.6	2.62	
		PLS[2:0] = 101(上升沿)	2.68	2.7	2.72	
		PLS[2:0] = 110(上升沿)	2.78	2.8	2.82	
		PLS[2:0] = 111(上升沿)	2.88	2.9	2.92	
		PLS[2:0] = 000(下降沿)	2.08	2.1	2.11	
		PLS[2:0] = 001(下降沿)	2.18	2.2	2.22	
		PLS[2:0] = 010(下降沿)	2.28	2.3	2.32	
		PLS[2:0] = 011(下降沿)	2.38	2.4	2.42	
		PLS[2:0] = 100(下降沿)	2.48	2.5	2.52	
		PLS[2:0] = 101(下降沿)	2.58	2.6	2.62	
		PLS[2:0] = 110(下降沿)	2.67	2.7	2.72	
		PLS[2:0] = 111(下降沿)	2.78	2.8	2.82	
V_{hyst}	PVD/PDR 迟滞	-	-	100	-	mV
V_{PDR}	掉电复位阈值	-	-	1.9	-	V
V_{POR}	上电复位阈值	-	-	2.0	-	
T_{POR} (2)	复位持续时间	0V 至 3.3V 上电速率 15μs	-	0.5	-	ms
		0V 至 3.3V 上电速率 5ms	-	3.9	-	
		0V 至 3.3V 上电速率 1s	-	600	-	
$I_{DD(POR)}$	POR 功耗	-	-	1.24	-	μA
$I_{DD(PVD)}$	PVD 功耗	-	-	0.8	-	

5.3.4 内部参考电压

下表中给出的参数是依据表 5.4 列出的环境温度下和 VDD 供电电压下测试得出。

表 5.7 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
VBG	内部参考电压	-40 °C < TA < 125 °C VDD = 3.3V	0.98	1	1.02	V
$T_{S_vrefint}$(1)	当读出内部参考电压时，ADC 的采样时间	-	-	0.5	-	μs
$VBG_{_error}$(2)	温度范围内的内部参考电压分布	-40 °C < TA < +125 °C VDD = 3.3V	-10	-	10	mV
T_{COEFF}(2)	温度系数	-40 °C < TA < +125 °C VDD = 3.3V	-	30	50	ppm/°C

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明如图 5.4 所示。

表 5.8 睡眠模式下的最大电流消耗，代码从 FLASH 运行

符号	参数	条件	f_{HCLK}	最大值(1)	单位
				T_A=125°C	
I_{DD}(1)	睡眠模式下供电电流	IO 全部设置为模拟，下拉（不包含栅极驱动器）	16MHz	3486	μA

1. 由综合评估保证。

表 5.9 运行模式下的最大电流消耗，数据处理代码从 FLASH 运行

符号	参数	条件	f_{HCLK}	最大值(1)	单位
				T_A=125°C	
I_{DD}(1)	运行模式下供电电流	APB1，APB2，AHB 外设时钟全开，所有外设失能（不包含栅极驱动器）	152MHz	17	mA

1. 基于综合评估，并在生产中测试。

表 5.10 停止模式和待机模式下的典型和最大电流消耗

符号	参数	条件		典型值 (1)	最大值 T_A=125°C	单位
I_{DD}	停机模式下供电电流	系统时钟为 HSI 16MHz，IO 全部设置为模拟，下拉（不包含栅极驱动器）	停机模式 0	229	-	μA
			停机模式 1	192	-	
	待机模式下的供电电流	系统时钟为 HSI 16MHz，IO 全部设置为模拟，下拉（不包含栅极驱动器）		4	-	

1. 在 T_A = 25°C 时测量典型值。

5.3.6 内部时钟源特性

表 5.11 高速内部 RC（HSI）振荡器特性 (1)

符号	描述	条件		最小值	典型值	最大值	单位
f_{HSI}	频率	VDD=3.3V		-	16	-	MHz
TRIM	用户微调 (2)	-		-	0.4	-	%
ACC_{HSI}	HSI 振荡器的精度	工厂校准 (3)(4)	0 °C < T_A < 85 °C	-1.5	-	1.5	
			-40 °C < T_A < 125 °C	-2	-	2	
$D\mu ty_{(HSI)}$	占空比	-		45	50	55	
$t_{su(HSI)}$ (2)	HSI 振荡器启动时间	-		-	5	10	μs
$t_{stab(HSI)}$ (2)	HSI 振荡器稳定时间	-		-	-	5	
$I_{DD(HSI)}$ (2)	HSI 振荡器功耗	-		-	-	200	μA

1. VDD = 3.3 V，T_A = -40 ~ 125°C，除非特别说明。
2. 由设计保证。
3. 由综合评估保证。
4. HSI 振荡器的实际频率可能会受到回流的影响，但不会偏离指定的范围。

表 5.12 LSI 振荡器特性 (1)

符号	描述	条件	最小值	典型值	最大值	单位
f_{LSI}	输出频率	VDD=3.3V,TA = 30 °C	31.5	32	32.5	KHz
		VDD=2.7~3.6V TA = -40 to 125 °C	25	32	39	
$Duty_{(LSI)}$	占空比	-	45	50	55	%
$t_{su\ (LSI)}$ (2)	LSI 振荡器启动时间	-	-	-	130	μs
$t_{stab(LSI)}$ (2)	LSI 振荡器稳定时间	-	360	730	950	
$I_{DD(LSI)}$ (3)	LSI 振荡器功耗	-	-	-	2	μA

1. VDD = 3.3 V，T_A = -40 ~ 125°C，除非特别说明。
2. 由设计保证。
3. 由综合评估保证。

从低功耗模式唤醒时间

下表的唤醒时间是在使用 HSI 作为时钟源的情况下进行测量的。实际应用中，芯片被唤醒后的时钟源与当前运行模式有关：

停止或待机模式：时钟源是 HSI。

睡眠模式：时钟源保持与进入睡眠模式前一致

表 5.13 低功耗模式的唤醒时间 (1)

符号	描述		典型值 (3)	单位
$t_{WUSLEEP}$ (1)	从睡眠模式唤醒		688	ns
t_{WUST} (1)	从停机模式唤醒	停机模式 0	43	μs
		停机模式 1	93	
$t_{WUSTDBY}$ (1)	从待机模式唤醒		1047	

1. 系统时钟为 HSI 16MHz
2. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。
3. 由综合评估得出

5.3.7 PLL 特性

表 5.14 PLL 特性 (1)(4)

符号	描述	最小值 (1)	典型值	最大值 (1)	单位
f_{PLL_IN}	PLL 输入时钟 (3)	-	16	-	MHz
	PLL 输出时钟占空比	45	50	55	%
f_{PLL_OUT}	输出参考时钟 HSI=16MHz	160 (16*10)	-	304 (16*19)	MHz
$t_{lock(PLL)}$ (2)	PLL 锁定时间	-	-	40	μs
$t_{su(PLL)}$ (2)	PLL 启动时间	-	-	90	
$t_{stab(PLL)}$ (2)	PLL 稳定时间	-	-	50	
Jitter	循环抖动	-	±28.6	-	ps
	周期抖动 (2)	-	±21.4	-	
$I_{DD(PLL)}$ (2)	PLL 功耗@304MHz	0.98	1.08	1.13	mA

1. VDD = 3.3 V，T_A = -40 ~ 125°C，除非特别说明。
2. 由设计保证。
3. 由综合评估保证。
4. 使用适当的乘数因子，使 PLL 输入时钟值与 f_{PLL_IN} 所定义的范围兼容。

5.3.8 存储器特性

表 5.15 FLASH 特性

符号	描述	条件	最小值	典型值	最大值 (1)	单位
t_{prog}	一个字节编程时间	-	-	-	10	μs
t_{ERASE}	扇区擦除时间	-	-	-	4	ms
	芯片擦除时间	-	-	-	10	
T_{Read}	读取时间	-	-	-	22	ns

1. 由设计保证。

表 5.16 FLASH 寿命和数据保存期限

符号	描述	条件	最小值 (1)	单位
N_{END}	寿命（擦写次数）	T_j = 125 °C	100	千次
t_{RET}	数据保存期限	T_j = 125 °C	10	年

1. 由综合评估保证。

5.3.9 EMC 特性

表 5.17 EMS 特性

符号	描述	条件	最大绝对值	单位
V_{FESD}	施加到任意 I/O 脚，从而导致功能错误的电压极限。	VDD = 3.3V，TA = +25 °C f_{HCLK} = 152 MHz，符合 IEC61000-4-2	-	V
V_{EFTB}	在 VDD 和 VSS 上通过 100pF 的电容施加的、导致功能错误的瞬变脉冲群电压极限。	VDD = 3.3V（并联一颗 1μF 电容），TA = +25 °C，f_{HCLK} = 152 MHz	-	

5.3.10 电气敏感性

表 5.18 ESD 绝对最大值

符号	描述	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	T_A = +25 °C，符合 JS-001	2000	V
$V_{ESD(CDM)}$	静电放电电压（充电设备模型）	T_A = +25 °C，符合 JS-002	950	

表 5.19 电气敏感性

符号	描述	条件	最大值	单位
LU	静态闩锁类	T_A = +25 °C，符合 JESD 78EF.02	200	mA
		T_A = +125 °C，符合 JESD 78EF.02	150	

5.3.11 IO 注入电流特性

表 5.20 IO 电流注入易感性

符号	描述		功能易感性		单位
			负注入	正注入	
V_{INJ}	单个 GPIO 注入电流	FT_A	-	0.5	mA
		FT_AF	-	0.5	
		WKUP_IO	-	N/A	

1. 设计保证

5.3.12 IO 端口特性

表 5.21 IO 静态特性

符号	描述	条件		最小值	典型值	最大值	单位
V_{IL}	标准 I/O 引脚，输入低电平电压	-		-	0.414*VDD-0.03	-	V
V_{IH}	标准 I/O 引脚，输入高电平电压	-		-	0.459*VDD+0.137	-	
V_{hys}	标准 I/O 施密特触发器电压迟滞 (1)	VDD=3.3V		-	200	-	mV
I_{leak}	输入漏电流 (3)	FT_A	VIN=3.3	-	-	10	nA
			VIN=5V	-	-	180	
		FT_AF	VIN=3.3	-	-	10	
			VIN=5V	-	-	30	
		WKUP_IO	VIN=3.3	-	-	10	
			VIN=5V	-	-	20	
R_{PU}	弱上拉等效电阻 (2)	VIN = VSS		30	40	50	kΩ
R_{PD}	弱下拉等效电阻 (2)	VIN = VDD		30	45	55	
C_{IO}	IO 引脚的电容	-		-	5	-	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMOS/NMOS 开关的电阻很小。
3. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。

表 5.22 输出电压特性

符号	描述	条件	最小值	最大值	单位
VOL[1]	输出低电平	VDD =3.3V，I_{IO} = 4mA	-	0.1	mV
VOH[1]	输出高电平		VDD-0.1	-	V
VOL[1]	输出低电平	VDD =3.3V，I_{IO} = 20mA	-	0.5	mV
VOH[1]	输出高电平		VDD-0.5	-	V

1. 由综合评估得出。

表 5.23 IO 交流特性 [1][2]

OSPEEDx[1:0]的配置 [1]	符号	描述	条件	最小值	最大值	单位
00	f_{max}	最大频率	C=50 pF, 2.7 V≤VDD≤3.6 V	-	4	MHz
			C=50 pF, 2 V≤VDD≤2.7 V	-	1	
			C=10 pF, 2.7 V≤VDD≤3.6 V	-	10	
			C=10 pF, 2 V≤VDD≤2.7 V	-	1.5	
	t_r/t_f	输出上升/下降时间	C=50 pF, 2.7 V≤VDD≤3.6 V	-	7	ns
			C=50 pF, 2 V≤VDD≤2.7 V	-	10	
			C=10 pF, 2.7 V≤VDD≤3.6 V	-	4	
			C=10 pF, 2 V≤VDD≤2.7 V	-	5	
01	f_{max}	最大频率	C=50 pF, 2.7 V≤VDD≤3.6 V	-	19	MHz
			C=50 pF, 2 V≤VDD≤2.7 V	-	10	
			C=10 pF, 2.7 V≤VDD≤3.6 V	-	40	
			C=10 pF, 2 V≤VDD≤2.7 V	-	15	
	t_r/t_f	输出上升/下降时间	C=50 pF, 2.7 V≤VDD≤3.6 V	-	12	ns
			C=50 pF, 2 V≤VDD≤2.7 V	-	10	
			C=10 pF, 2.7 V≤VDD≤3.6 V	-	4	
			C=10 pF, 2 V≤VDD≤2.7 V	-	5	
10	f_{max}	最大频率	C=50 pF, 2.7 V≤VDD≤3.6 V	-	32	MHz
			C=50 pF, 2 V≤VDD≤2.7 V	-	20	
			C=10 pF, 2.7 V≤VDD≤3.6 V	-	70	
			C=10 pF, 2 V≤VDD≤2.7 V	-	30	
	t_r/t_f	输出上升/下降时间	C=50 pF, 2.7 V≤VDD≤3.6 V	-	8	ns
			C=50 pF, 2 V≤VDD≤2.7 V	-	10	
			C=10 pF, 2.7 V≤VDD≤3.6 V	-	3	
			C=10 pF, 2 V≤VDD≤2.7 V	-	4	
11	f_{max}	最大频率	C=30 pF, 2.7 V≤VDD≤3.6 V	-	48	MHz
			C=30 pF, 2 V≤VDD≤2.7 V	-	30	
			C=10 pF, 2.7 V≤VDD≤3.6 V	-	76	
			C=10 pF, 2 V≤VDD≤2.7 V	-	45	
	t_r/t_f	输出上升/下降时间	C=30 pF, 2.7 V≤VDD≤3.6 V	-	6	ns
			C=30 pF, 2 V≤VDD≤2.7 V	-	6	

OSPEEDx[1:0]的配置 (1)	符号	描述	条件	最小值	最大值	单位
			C=10 pF, 2.7 V≤VDD≤3.6 V	-	3	
			C=10 pF, 2 V≤VDD≤2.7 V	-	3	

1. I/O 端口的速度可以通过 OSPEEDx[1:0]配置。
2. 由设计保证。

5.3.13 NRST 引脚特性

表 5.24 NRST 引脚特性

符号	描述	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$ (1)	NRST 输入低电平电压	-	-	-	0.8	V
$V_{IH(NRST)}$ (1)	NRST 输入高电平电压	-	2	-	-	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞 (1)	VDD=3.3V	180	-	240	mV
R_{PU}	弱上拉等效电阻 (2)	VIN = VSS	30	40	50	kΩ
$V_{F(NRST)}$ (1)	NRST 输入滤波脉冲	VDD=3.3V	-	-	280	ns
$V_{NF(NRST)}$ (1)	NRST 输入非滤波脉冲	VDD=3.3V	480	-	-	

1. 由设计保证
2. 拉起的设计是用一个可切换的 PMOS 来设计的。这种 PMOS 对系列电阻的贡献必须是最小

5.3.14 TIM 定时器特性

表 5.25 TIMx(1)特性

符号	描述	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 152MHz	6.58	-	ns
Res_{TIM}	定时器分辨率	TIMx（除了 TIM2）	-	16	bit
		TIM2	-	28	
$t_{counter}$	当选择了内部时钟时，16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 152MHz	0.00658	431.2	μs
$t_{MAX_counter}$	28 位计数器的最大可能计数	-	-	268435456	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 152MHz	-	1.76	s

1. TIMx 是一个通用的名称，代表 TIM2、TIM3、TIM6、TIM7、TIM8、TIM15。

5.3.15 通信接口

I2C 接口特性：

表 5.26 I2C 接口特性

符号	描述	标准模式 (1)(2)		快速模式 (1)(2)		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL 低电平宽度	4.7	-	1.3	-	μs
$t_{w(SCLH)}$	SCL 高电平宽度	4	-	0.6	-	
$t_{su(SDA)}$	SDA 建立时间	250	-	100	-	ns
$t_{h(SDA)}$	SDA 数据保持时间	-	3450(3)	-	900(3)	
$t_{r(SDA)}/t_{r(SCL)}$	SDA 和 SCL 上升时间	-	1000	-	300	
$t_{f(SDA)}/t_{f(SCL)}$	SDA 和 SCL 下降时间	-	300	-	300	
$t_{h(STA)}$	起始条件保持时间	4	-	0.6	-	μs
$t_{su(STA)}$	重复起始条件建立时间	4.7	-	0.6	-	
$t_{su(STO)}$	停止条件建立时间	4	-	0.6	-	
$t_{w(STO:STA)}$	停止到起始条件时间	4.7	-	1.3	-	
C_b	单条总线负载电容	-	400	-	400	pF

1. 由设计保证。
2. fscl 必须至少有 2 MHz 才能实现标准模式 I2C 频率。必须至少 4 MHz 才能实现快速模式 I2C 频率
3. 必须保证在 SCL 高电平区间 SDA 保持稳定电平。

表 5.27 SCL 频率（f_{PCLK1} = 36MHz，$VDD_{_I2C}$ = 3.3V）(1)(2)

f_{SCL}(KHz)	I2C_CCR
	R_P = 4.7 kΩ
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. RP = 外部上拉电阻，f_{SCL} = I2C 速度。
2. 对于 200 KHz 左右的速度，所达到的速度的公差位±5%。对于其他速度范围，速度公差为±2%。这个变量取决于应用设计时采用的外部组件的准确性。

SPI 接口特性：

表 5.28 SPI 特性

符号	描述	条件	最小值	最大值	单位
f_{SCK}	SPI 时钟频率	主模式	-	18	MHz
$1/t_{c(SCK)}$		从模式	-	18	
$t_{r(SCK)}/t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容：C = 30 pF	-	4	ns
DuCy	SPI 从模式输入占空比	从模式	30	70	%
$t_{su(NSS)}$(1)	NSS 建立时间	从模式	4tPCLK	-	ns
$t_{h(NSS)}$(1)	NSS 保持时间	从模式	2tPCLK	-	
$t_{w(SCKH)}$(1)	SCK 高和低的时间	主模式，f_{PCLK} = 36 MHz, presc = 4	50	60	
$t_{w(SCKL)}$(1)					
$t_{su(MI)}$(1)	数据输入建立时间	主模式	5	-	
$t_{su(SI)}$(1)		从模式	5	-	
$t_{h(MI)}$(1)	数据输入保持时间	主模式	17	-	
$t_{h(SI)}$(1)		从模式	6	-	
$t_{a(SO)}$(1)(2)	数据输出访问时间	从模式，f_{PCLK} = 20 MHz	0	3tPCLK	
$t_{dis(SO)}$(1)(3)	数据输出禁止时间	从模式	3tPCLK	4tPCLK	
$t_{v(SO)}$(1)	数据输出有效时间	从模式（使能边沿之后）	-	25	
$t_{v(MO)}$(1)	数据输出有效时间	主模式（使能边沿之后）	-	5	
$t_{h(SO)}$(1)	数据输出保持时间	从模式（使能边沿之后）	4	-	
$t_{h(MO)}$(1)		主模式（使能边沿之后）	-1	-	

1. 由综合评估得出，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

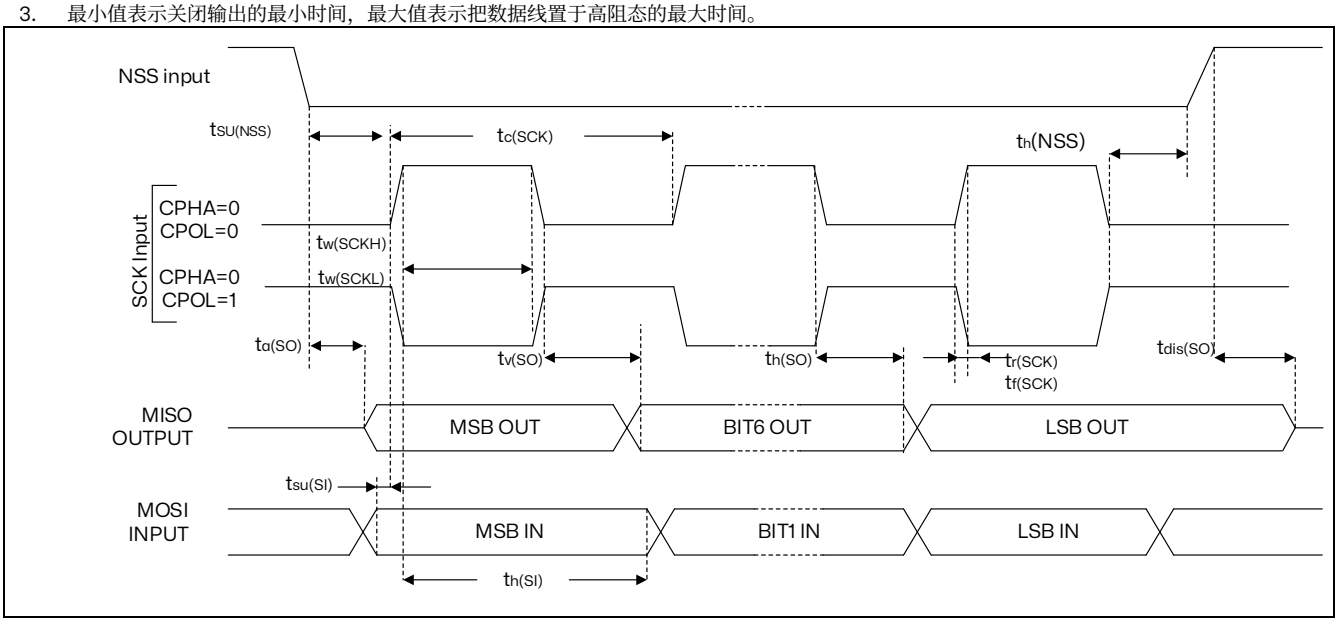


图 5.5 SPI 时序图-从模式和 CPHA=0

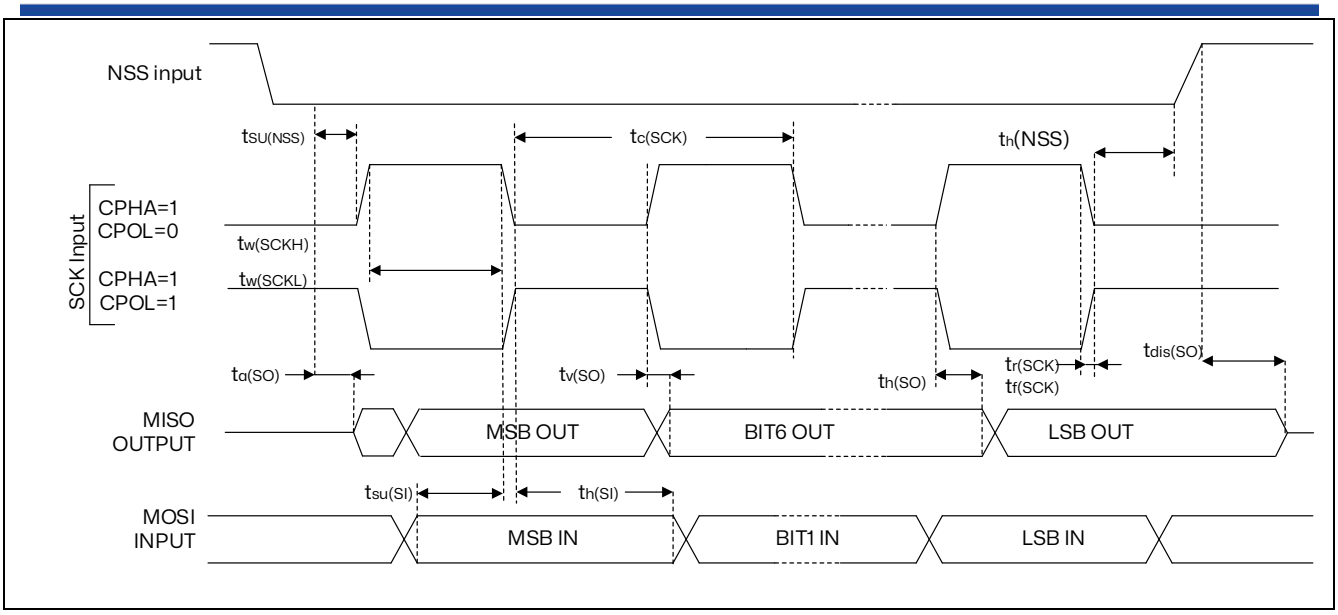


图 5.6 SPI 时序图-从模式和 CPHA=1

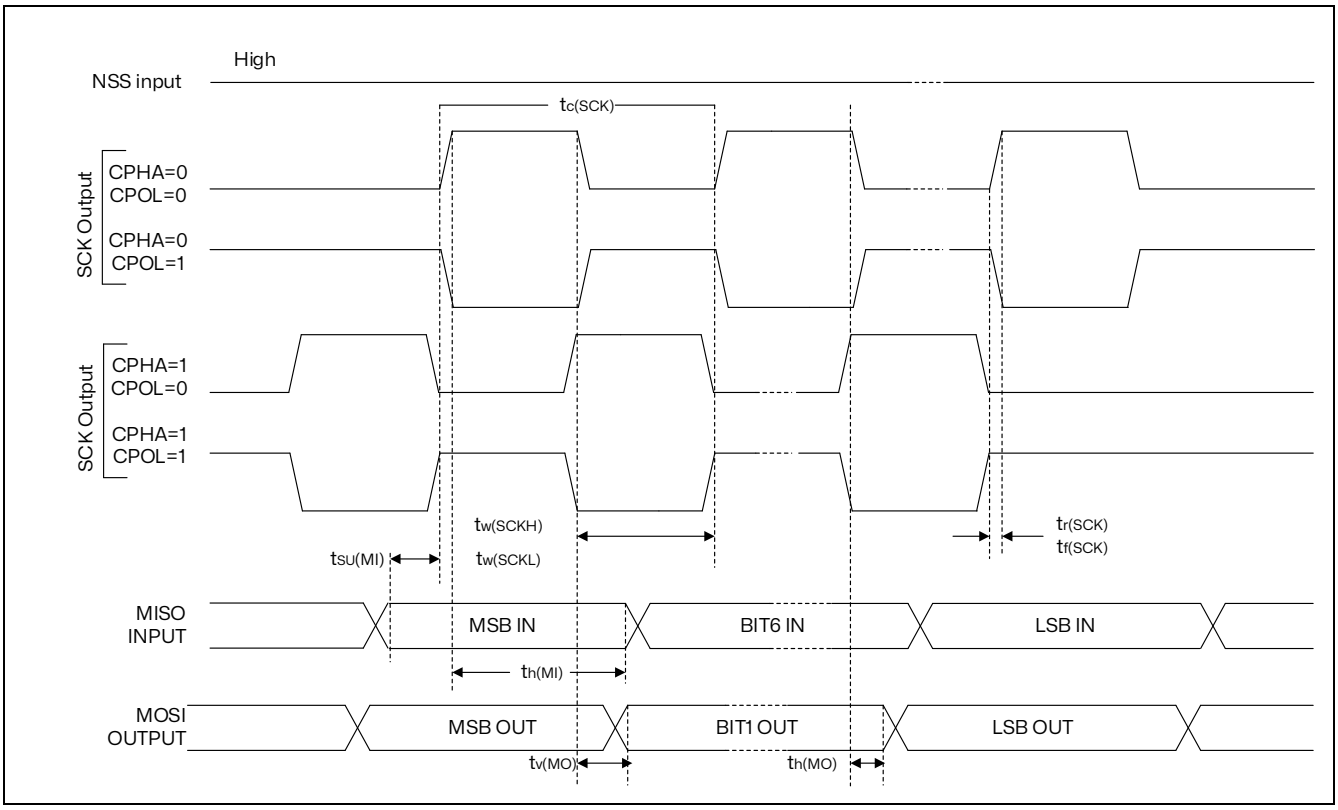


图 5.7 SPI 时序图-主模式

5.3.16 ADC 特性

表 5.29 ADC 特性

符号	描述	条件	最小值	典型值	最大值	单位
VDD	工作电压	-	2.7	3.3	3.6	V
V_{REFP}	正参考电压	-	2.5	-	VDD	
V_{REFN}	负参考电压	-	-	0	-	
f_{ADC}	ADC 时钟频率	-		60		MHz
f_{TRIG}	外部触发频率	f_{ADC}=60MHz	-	-	-	KHz
			-	15	-	$1/f_{ADC}$
V_{IN_ADC}	转换电压范围	-	0	-	VREFBUF	V
R_{IN}	外部输入阻抗	-	0.1	-	12.5	Kohm
R_{ADC}	采样开关电阻	-	-	-	1	
C_{ADC}	内部采样和保持电容	-	-	5	-	pF
t_{CAL}(2)	校准时间	f_{ADC}=60MHz	1.28			µs
			82			$1/f_{ADC}$
$t_{LATRINJ}$(2)	注入触发转换时延	f_{ADC}=60MHz	-	-	47	ns
			-	-	3	$1/f_{ADC}$
t_{LATR}(2)	常规触发转换时延	f_{ADC}=60MHz	-	-	31	ns
			-	-	2	$1/f_{ADC}$
t_S(2)	ADC 采样时间	f_{ADC}=60MHz	41.67	-	10675	ns
			2.5	-	640.5	$1/f_{ADC}$
f_S(2)	ADC 采样速率 TS+12.5*(1/FADC)	-	-	4	-	MSPS
t_{EN}	ADC 上电时间	-	-	-	2	µs
t_{CONV}(2)	总的转换时间(包括采样时间)	f_{ADC}=60MHz	0.25	-	10.88	
			16~653(TS+12.5*(1/FADC))			$1/f_{ADC}$

1. 由综合评估得出，不在生产中测试。
2. 由设计保证。
3. 对于外部触发，必须在上表列出的时延中加上一个延迟 $1/f_{PCLK2}$。

表 5.30 ADC 输入阻抗

采样时间	阻抗（Ω）		电容（F）
	快通道	慢通道	
2.5	100	-	10p
6.5	400	420	
11.5	950	1k	
17.5	1.4k	1.6k	
25.5	2.2k	2.4k	
35.5	3k	3.2k	
48.5	5k	5.2k	
640.5	12k	12.5k	

表 5.31 ADC 精度-限制测试条件

符号	描述	条件		最小值	典型值	最大值	单位
ET	综合偏差	VDD = 3.3V,T = 27°C, 输入电压≤3.25V ADC 时钟频率≤60MHz 连续模式，采样率： 快速通道：4Msps 缓慢的通道：2Msps	快速通道（最大速度）	-	3	-	LSB
			慢速通道（最大速度）	-	3	-	
EO	偏移误差		快速通道（最大速度）	-	1.3	-	
			慢速通道（最大速度）	-	1.6	-	
EG	增益误差		快速通道（最大速度）	-	8.7	-	
			慢速通道（最大速度）	-	7.3	-	
ED	微分线性误差		快速通道（最大速度）	-	±1	±1.8	
			慢速通道（最大速度）	-	±1	±2.3	
EL	积分线性误差		快速通道（最大速度）	-	±1.6	±2.2	
			慢速通道（最大速度）	-	±1.3	±2.3	

1. ADC 的直流精度数值是在经过内部校准后测量的。
2. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。
3. 由设计保证。

5.3.17 温度传感器特性

温度计算公式：

$$V_{sensor} = (-0.004112516) \times temperature + 1.262524414$$

表 5.32 温度传感器特性

符号	描述	条件 (1)	最小值	典型值	最大值	单位
T_L	Vsensor 线性度	-	-	±1	±2	°C
A_{vg_Slope}	平均斜率	-	4	4.1	4.2	mV/°C
V_{25}	在 25°C 时的电压	-	1.154	1.168	1.174	V
t_{start} (2)	启动时间	-	9	14	18	μs
t_{S_temp} (2)(3)	当读取温度时，ADC 采样时间	-	-	10	-	

1. 除非另有说明，VDD = 3.3V，T_A = -40 到 125 °C。
2. 由设计保证。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.18 VREFBUF 特性

表 5.33 VREFBUF 特性

符号	描述	条件	最小值	典型值	最大值	单位
VDD	工作电压	VRS=0，电压基准为 2.5V	2.8	-	3.6	V
		VRS=1，电压基准为 2.8V	3.1	-	3.6	
VREFBUF_OUT	输出电压	VRS=0，电压基准为 2.5V	-	2.5	-	
		VRS=1，电压基准为 2.8V	-	2.8	-	
TRIM	-	-	-	±0.16	±0.18	%
esr	负载的等效串联电阻	-	-	-	2	Ω
I_{load}	静态负载电流	-	-	-	1.5	mA
I_{line_reg}	线性调整率	-	-	1000	2000	ppm/V
I_{load_reg}	负载调整率	500 μA ≤ I_{load} ≤4 mA	-	50	500	ppm/mA
T_{Coeff}	温度特性	-40℃<TJ<125℃	-	-	80	ppm/℃
PSRR	电源抑制比	DC	60	63	66	dB
		100 KHz	19	24	28	
t_{START}	启动时间	-	-	2.81	6.11	μs
$t_{Conversion}$	档位转换时间	VRS=0→1	-	1.02	2.63	
I_{DD}	功耗	I_{load}=0 μA	0.948	1.161	1.435	mA
		I_{load}=412.5 μA	1.199	1.405	1.668	

1. 除非另有说明，VDD = 3.3V，T_A = -40 到 125 °C。
2. 由设计保证。

5.3.19 OPAMP 特性

表 5.34 OPAMP 特性

符号	描述	条件	最小值	典型值	最大值	单位
VDD	供电电压	-	2.7	3.3	3.6	V
CMIR	共模输入范围	-	0	-	VDD	
$V_{OS(IN)}$	输入偏移电压	VIN=0.9 VDD (NMOS)	0	±1	±4	mV
		VIN=0.1 VDD (PMOS)	0	±1	±4	
		VIN=0.5 VDD	0	±1	±4	
I_{load}	驱动电流	OPA	-	-	500	μA
		PGA	-	-	270	
AO(1)	开环增益	C_{load}=50pF	89	95	100	dB
GBW	单位增益带宽	Load=50pF//4K, VDD =3.3V VINP= VDD /2	-	16MHz	-	MHz
		200mV ≤输出动态范围 ≤VDD - 200mV, Load =50pF//4K	-	16MHz	-	
φ_m(1)	相位裕度	C_{load}=50pF，R_{load}=4K	40	49	75	degree
CMRR(1)	公模抑制比	@10 KHz，Load =50pF//4K C_{load}=25p，VDD =3.3V	-	80	-	dB
		@100 KHz，Load =50pF//4K C_{load} =25p，VDD =3.3V	-	70	-	
PSRR(1)	电源抑制比	C_{load} =50pF，R_{load} =4K CMIR= VDD /2，(DC), VDD =3.3V	-	130	-	
		C_{load} =50pF，R_{load} =4K CMIR= VDD /2，(3dB), VDD =3.3V	-	110	-	
SR	压摆率	从 10 到 90%的输出电压 负载电容=50pF	-	15	-	V/usec
TWAKEUP(1)	唤醒时间 0.1%精度（Unity gain）	C_{load} =25pF，R_{load} =4K	-	400	-	ns
R_{load}	负载电阻	-	4	-	-	KΩ
C_{load}	负载电容	-	-	-	50	pF
$V_{OUT(SAT)}$	高饱和输出电压	电压跟随器模式, I_{load} =max，R_{load} =4K	-	VDD -0.2	-	V

符号	描述	条件	最小值	典型值	最大值	单位
	低饱和输出电压	电压跟随器模式, I_{load} =max, R_{load} =4K	-	0.2	-	
PGA gain error	PGA 增益误差 (输入电压>50mv)	PGA 增益= 4	-	1	-	%
		PGA 增益=8	-	1	-	
		PGA 增益=12	-	1	-	
		PGA 增益=16	-	1	-	
$R_{network}$	非反相 PGA 模式中的 R2/R1 内阻值	PGA 增益=4	-	40K/160K	-	kΩ/kΩ
		PGA 增益=8	-	40K/320K	-	
		PGA 增益=12	-	40K/480K	-	
		PGA 增益=16	-	40K/640K	-	
PGABW	不同增益的 PGA 带宽	增益= 4/8/12/16	-	GBW/GAIN	-	MHz
I_{VDD}	OPAMP 模式功耗	电压跟随器模式，无负载	-	2.5	-	mA
eN(1)	电压噪声密度	1KHz，R_{load}=4K	-	230	-	nV/sqrt(Hz)
		10KHz，R_{load}=4K	-	100	-	

1. 由设计保证。

5.3.20 CMP 特性

表 5.35 CMP 特性

符号	描述	条件	最小值	典型值	最大值	单位
VDD	模拟供电电压	-	2.7	3.3	3.6	V
V_{IN}	比较器输入电压范围	-	0	-	VDD	
t_D(3)	响应时间	VDD =3.3	-	50	100	ns
V_{offset}(1)	比较器偏移误差	-	-5.5	-4/+4	5.5	mV
V_{hys}	比较器迟滞	FHYST /RHYST=0	-	0	-	
		FHYST /RHYST=20	-	20	-	
		FHYST /RHYST=40	-	40	-	
		FHYST /RHYST=60	-	60	-	
$t_{_start}$(1)	启动延时	-	-	1000	2000	ns
R_{SRN}(1)	星型电阻网络的电阻值	-	-	38	-	kΩ
I_{DDA}(3)	比较器功耗 CRV 禁止	-	-	250	-	μA

1. 由设计保证。
2. 典型值是全部比较器传播延迟的平均值。
3. 由综合评估得出。

5.3.21 CRV 特性

表 5.36 CRV 特性

符号	描述	条件		最小值	典型值	最大值	单位
VDD	电源电压	-		2.7	3.3	3.6	V
VREF	参考电压范围	CRV 输入电压为 2.5V VDD =3.0 ~ 3.6V		0	-	2.5	
		CRV 输入电压为 1V VDD =2.7 ~ 3.6V		0	-	1	
Absolute accuracy	精度(+/- 3sigma)	-		-2	-	2	LSB
I_{DD}	功耗	-		-	250	-	μA
t_{EN}(1)	CRV VREF 发生器开启时间	-		-	60	100	μs
t_{CONV}(1)	输出电压稳定时间	-		-	0.65	2	
PSRR(1)	电源抑制比	VDD =2.7 ~ 3.6V -40℃~ 125℃	CRV = 1V; DC	-71	-64	-55	dB
			CRV = 1V; 100 KHz	-24	-22	-21	
		VDD =3.0~3.6V -40℃~ 125℃	CRV = 2.5V; DC	-64	-57	-48	
			CRV = 2.5V; 100 KHz	-16	-15	-14	

1. 由设计保证。
2. 由综合评估得出。

5.3.22 栅极驱动器

表 5.37 Gatedriver 特性

符号	描述	条件	最小值	典型值	最大值	单位
HVDD	栅极驱动器电源电压	-	4	15	18	V
$HIN_{1,2,3}$	栅级驱动器上桥臂输入	-	0	3.3	5	
$LIN_{1,2,3}$	栅级驱动器下桥臂输入	-	0	3.3	5	
$VB_{1,2,3}$	栅级驱动器自举电源输出	-	-	VS+15	VS+18	
$VS_{1,2,3}$	功率切换电路输出相节点	-	-6(1)	-	150	
I_{QVCC}	静态电源电流	HVDD=15,$V_{LIN1,2,3}$=0V	-	90	-	μA
		HVDD=15,$V_{LIN1,2,3}$=5V	-	250	-	
$I_{QBS1,2,3}$	上桥臂静态电流	HIN=0V	-	30	-	
		HIN=5V	-	125	-	
V_{CCUV+}	HVDD 欠电压正向阈值	-	-	4.4	-	V
V_{CCUV-}	HVDD 欠电压负向阈值	-	-	4.1	-	
V_{BSUV+}	高侧 VBS 欠电压正向阈值	-	-	4.4	-	
V_{BSUV-}	高侧 VBS 欠电压负向阈值	-	-	4.1	-	
V_{IH}	逻辑高输入电压 HIN1,2,3 LIN1,2,3	-	2.5	-	-	
V_{IL}	逻辑低输入电压 HIN1,2,3 LIN1,2,3	-	-	-	0.8	
V_{HOH}	上桥臂输出高电平	与 VB 的差值，IO +=10mA	-	-	140	mV
V_{HOL}	上桥臂输出低电平	与 VS 的差值，IO -=10mA	-	-	70	
V_{LOH}	下桥臂输出高电平	与 HVDD 的差值，IO +=10mA	-	-	140	
V_{LOL}	下桥臂输出低电平	与 VSS 的差值，IO -=10mA	-	-	70	
I_{IN+}	逻辑高输入偏置电流	V_{IN}=5V	-	50	-	μA
I_{IN-}	逻辑低输入偏置电流	V_{IN}=0	-	0	-	
I_{HO+}	上桥臂输出高短路脉冲电流	V_{HO}=V_S=0	-	1.0	-	A
I_{HO-}	上桥臂输出低短路脉冲电流	V_{HO}=V_B=15V	-	1.3	-	
I_{LO+}	下桥臂输出高短路脉冲电流	V_{LO}=0	-	1.0	-	
I_{LO-}	下桥臂输出	V_{LO}=V_{CC}=15V	-	1.3	-	

符号	描述	条件	最小值	典型值	最大值	单位
	低短路脉冲电流					
ton	导通延迟时间	-	-	200	-	ns
toff	关断延迟时间	-	-	100	-	
tr	HO/LO 上升时间	-	-	35	-	
tf	HO/LO 下降时间	-	-	15	-	
DT	死区时间	-	-	100	-	
MT	上升和下降死区时间差值	-	-	10	-	
P_D	功耗	-	-	-	500	mW

1. 此时 VB-VS 最小为 12V。

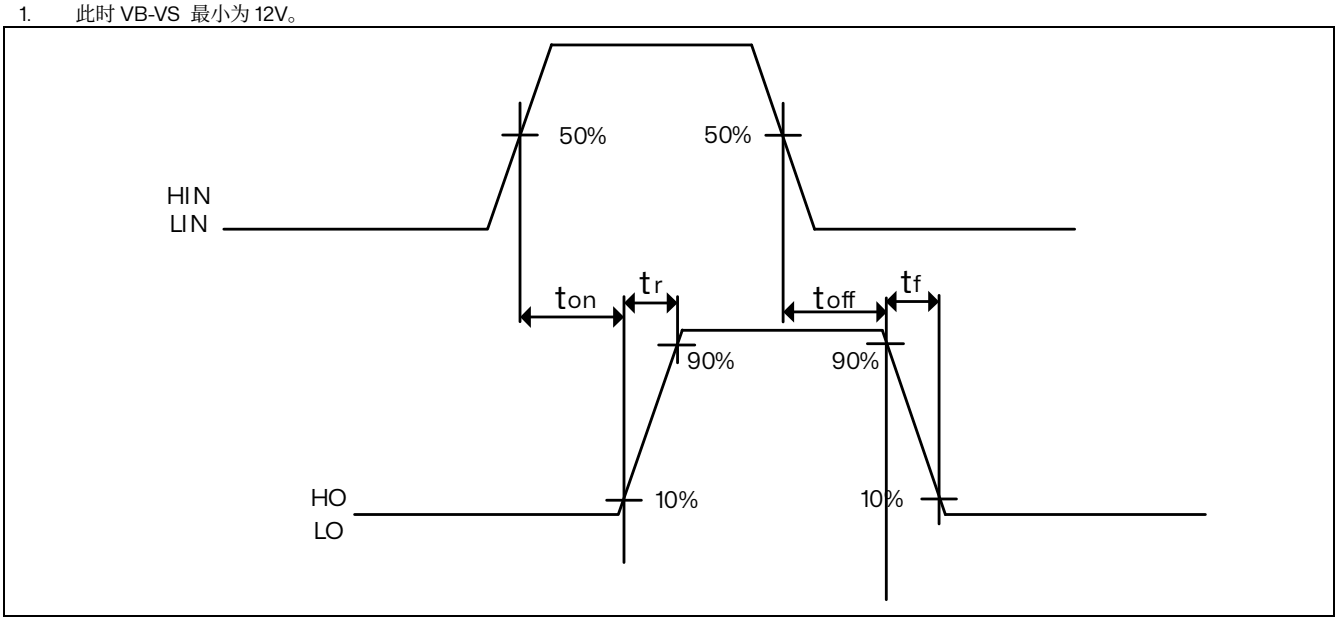


图 5.8 时间切换波形图

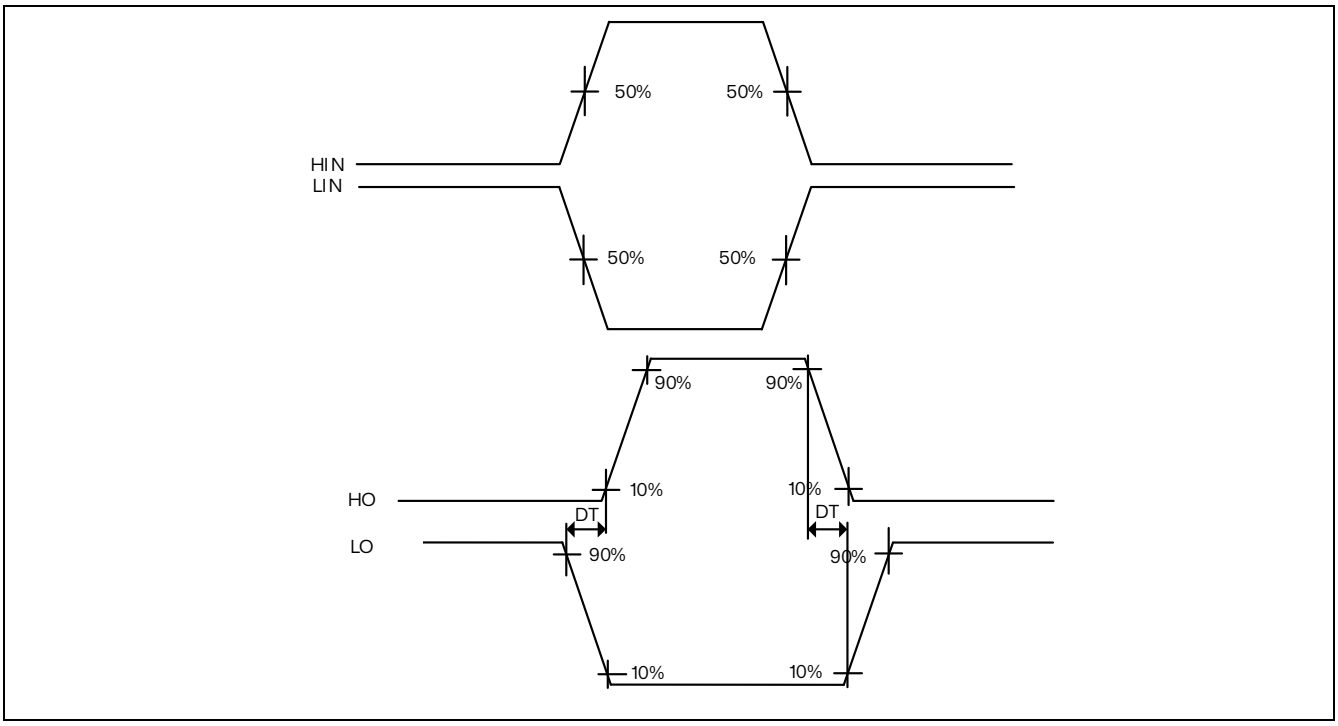


图 5.9 死区时间波形图

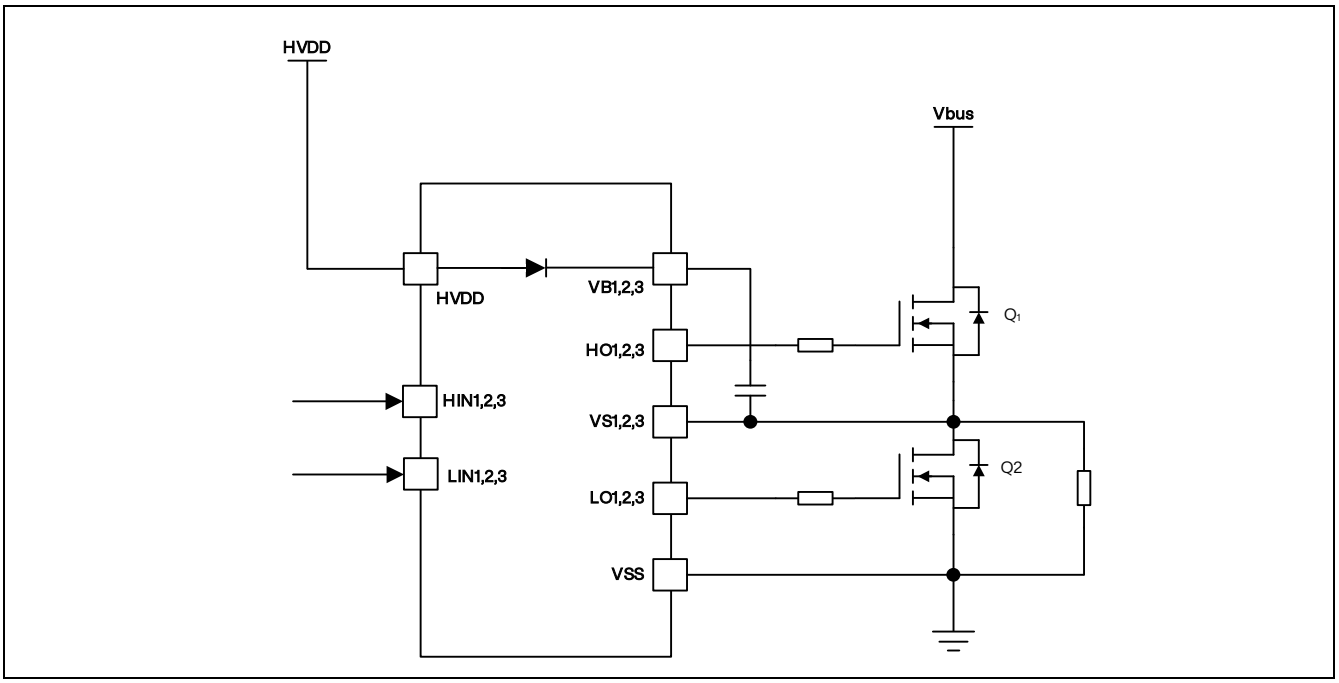


图 5.10 应用电路

6 封装信息

6.1 QFN40 封装信息

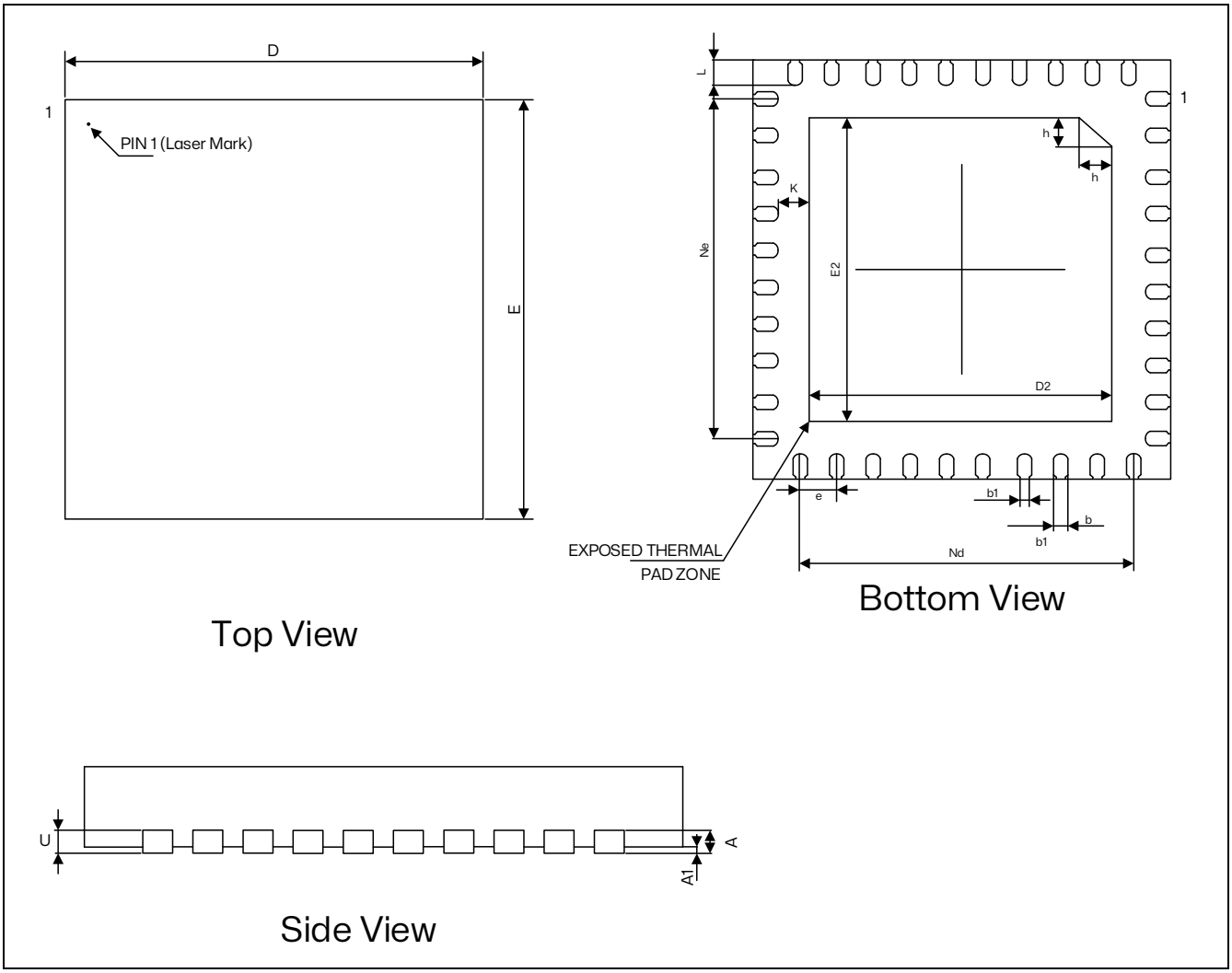


图 6.1 轮廓图

表 6.1 机械数据

符号	最小值（mm）	典型值（mm）	最大值（mm）
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.18	0.25	0.30
b1	0.18REF		
c	0.203REF		
D	5.90	6.00	6.10
D2	4.40	4.50	4.60
e	0.50BSC		
Ne	4.50BSC		
Nd	4.50BSC		
E	5.90	6.00	6.10
E2	4.40	4.50	4.60
L	0.35	0.40	0.45
h	0.30	0.35	0.40
K	0.30	0.35	0.40

7 订货代码

举例 RX32 S 6 5 1 H 8 U 8

芯片系列

RX32 = 基于 32 位 RISC 内核的微控制器

芯片类型

S = 电机专用

芯片亚科

6 = RX32x6x

合封类型

5 = MCU + NN Driver

序列号

1

引脚数

H = 40 pin

Flash

8 = 64 Kbyte

封装

U = QFN40

温度范围

8 = -40 到 125℃

8 版本历史

表 8.1 版本历史

日期	版本	更改内容
2026.6.11	V2.0	新版
2026.6.30	V2.1	修正 TIM2 为 28 位